

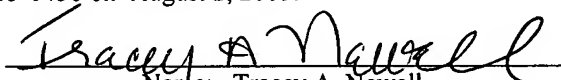
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Gen KOSHITA
Serial No: 10/813,761
Filing Date: March 30, 2004
Title: **BOOSTING CIRCUIT AND SEMICONDUCTOR DEVICE USING THE SAME**

Examiner: Cunningham, Terry D.
Art Unit: 2816

Certificate of Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as first class mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on August 2, 2005.


Name: Tracey A. Newell

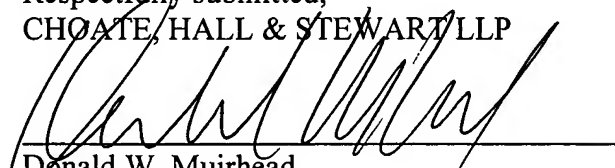
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Attached hereto is Japanese Application No. 2004-43614, filed February 19, 2004, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,
CHOATE, HALL & STEWART LLP


Donald W. Muirhead
Reg. No. 33,978

August 2, 2005
Date

Patent Group
Choate, Hall & Stewart LLP
Exchange Place
53, State Street
Boston, MA 02109-2804

US
956

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 4 3 6 1 4
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 4 3 6 1 4]

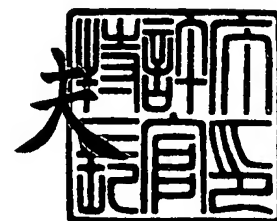
願 人 エルピーダメモリ株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 3 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 22310424
【提出日】 平成16年 2月19日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 16/00
【発明者】
 【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社内
 【氏名】 越田 元
【特許出願人】
 【識別番号】 500174247
 【氏名又は名称】 エルピーダメモリ株式会社
【代理人】
 【識別番号】 100102864
 【弁理士】
 【氏名又は名称】 工藤 実
【手数料の表示】
 【予納台帳番号】 053213
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0114854

【書類名】 特許請求の範囲**【請求項 1】**

第 1 電圧を昇圧して第 2 電圧を生成する第 1 チャージポンプ回路と、
前記第 2 電圧を昇圧して第 3 電圧を生成する第 2 チャージポンプ回路と、
前記第 3 電圧を昇圧して第 4 電圧を生成する第 3 チャージポンプ回路と、
第 1 切替信号に応じて、前記第 1 チャージポンプ回路と前記第 2 チャージポンプ回路とを直列接続して前記第 3 電圧を半導体装置の内部回路に出力し、第 2 切替信号に応じて、前記第 1 チャージポンプ回路と前記第 2 チャージポンプ回路と前記第 3 チャージポンプ回路とを直列接続して前記第 4 電圧を前記半導体装置の内部回路に出力する切替部とを具備する昇圧回路。

【請求項 2】

請求項 1 に記載の昇圧回路において、

前記切替部は、

第 1 制御信号に応じて、前記第 1 チャージポンプ回路と前記第 2 チャージポンプ回路とを接続するための第 1 スイッチ部と、

前記第 1 制御信号と前記第 1 切替信号とに応じて、前記第 2 チャージポンプ回路と前記半導体装置の内部回路の第 1 ノードとを接続するための第 2 スイッチ部と、

前記第 1 制御信号と前記第 2 切替信号とに応じて、前記第 2 チャージポンプ回路と前記第 3 チャージポンプ回路とを接続するための第 3 スイッチ部と、

前記第 1 制御信号と前記第 2 切替信号とに応じて、前記第 3 チャージポンプ回路と前記半導体装置の内部回路の第 2 ノードとを接続するための第 4 スイッチ部とを具備する昇圧回路。

【請求項 3】

請求項 2 に記載の昇圧回路において、

前記第 1 チャージポンプ回路は、

その正極側が前記第 1 スイッチ部に接続された第 1 容量部と、

その出力が前記第 1 容量部の正極側に接続され、その入力電源に接続され、前記第 1 容量部から前記電源への逆流を防止する第 1 逆流防止素子とを具備し、

前記電源は前記第 1 電圧を発生し、

前記第 2 チャージポンプ回路は、

その負極側が前記第 1 スイッチ部に接続され、その正極側が前記第 2 スイッチ部と前記第 3 スイッチ部とに接続された第 2 容量部と、

その出力が前記第 2 容量部の正極側に接続され、その入力電源に接続され、前記第 2 容量部から前記電源への逆流を防止する第 2 逆流防止素子とを具備し、

前記第 3 チャージポンプ回路は、

その負極側が前記第 3 スイッチ部に接続され、その正極側が前記第 4 スイッチ部に接続された第 3 容量部と、

その出力が前記第 3 容量部の正極側に接続され、その入力電源に接続され、前記第 3 容量部から前記電源への逆流を防止する第 3 逆流防止素子とを具備する昇圧回路。

【請求項 4】

請求項 3 に記載の昇圧回路において、

前記第 1 スイッチ部は、

前記第 1 制御信号が入力される第 1 反転素子と、

その入力前記第 1 反転素子の出力に接続され、その出力前記第 1 容量部の負極側に接続された第 2 反転素子と、

そのゲート前記第 1 反転素子の出力に接続され、前記第 1 反転素子に入力される前記第 1 制御信号が第 1 状態を表すとき、前記第 1 容量部の正極側と前記第 2 容量部の負極側とを接続する第 1 導電型の第 1 トランジスタと、

そのゲート前記第 1 反転素子の出力に接続され、前記第 1 反転素子に入力される前記

第1制御信号が第2状態を表すとき、前記第2容量部の負極側を接地する第2導電型の第2トランジスタと
を具備する昇圧回路。

【請求項5】

請求項4に記載の昇圧回路において、

前記第2スイッチ部は、

前記第1制御信号と前記第1切替信号と前記第1ノードに印加される電圧とに基づいて、第2制御信号を出力する第2スイッチ部制御回路と、

そのゲートが前記第2スイッチ部制御回路に接続され、前記第1制御信号と前記第1切替信号とが前記第1状態を表すとき、前記第2容量部の正極側と第1ノードとを接続する前記第2導電型の第3トランジスタと

を具備する

昇圧回路。

【請求項6】

請求項5に記載の昇圧回路において、

前記第3スイッチ部は、

前記第1制御信号と前記第2切替信号とが前記第1状態を表すとき、前記第2ノードに印加される電圧に基づいて、第3制御信号を出力する第3スイッチ部制御回路と、

そのゲートが前記第3スイッチ部制御回路に接続され、前記第3制御信号が前記第1状態を表すとき、前記第2容量部の正極側と前記第3容量部の負極側とを接続する前記第2導電型の第4トランジスタと

を具備する昇圧回路。

【請求項7】

請求項6に記載の昇圧回路において、

前記第4スイッチ部は、

前記第1制御信号と前記第2切替信号とが前記第1状態を表すとき、前記第2ノードに印加される電圧に基づいて、第4制御信号を出力する第4スイッチ部制御回路と、

そのゲートが前記第4スイッチ部制御回路に接続され、前記第4制御信号が前記第1状態を表すとき、前記第3容量部の正極側と前記第2ノードとを接続する前記第2導電型の第5トランジスタと

を具備する昇圧回路。

【請求項8】

請求項7に記載の昇圧回路において、

前記切替部は、更に、

第5スイッチ部を具備し、

前記第5スイッチ部は、

前記第1制御信号と前記第2切替信号との少なくとも1つが前記第2状態を表すとき、第5制御信号を出力する第5スイッチ部制御回路と、

そのゲートが前記第5スイッチ部制御回路に接続され、前記第5制御信号に応じて、前記第3容量部の負極側を接地する前記第2導電型の第6トランジスタと
を具備する昇圧回路。

【請求項9】

請求項5に記載の昇圧回路において、

前記第1導電型がP型であり、前記第2導電型がN型であるとき、

前記第2スイッチ部制御回路は、

前記第1制御信号と前記第1切替信号とが入力される第1NAND回路と、

その入力が前記第1NAND回路の出力に接続された第3反転素子と、

そのゲートが前記第3反転素子の出力に接続され、そのソースが接地された前記第2導電型の第7トランジスタと、

その入力が前記第3反転素子の出力に接続された第4反転素子と、

そのゲートが前記第4反転素子の出力に接続され、そのソースが接地された前記第2導電型の第8トランジスタと、

そのソースが前記第1ノードに接続され、そのゲートが前記第8トランジスタのドレインに接続され、そのドレインが前記第7トランジスタのドレインに接続された前記第1導電型の第9トランジスタと、

そのソースが前記第1ノードに接続され、そのゲートが前記第7トランジスタのドレインに接続され、そのドレインが前記第8トランジスタのドレインに接続された前記第1導電型の第10トランジスタと、

その負極側が前記第8トランジスタのドレインに接続され、その正極側が前記第3トランジスタのゲートに接続された第4容量部と、

その出力が前記第4容量部の正極側に接続され、その入力が前記電源に接続され、前記第4容量部から前記電源への逆流を防止する第4逆流防止素子とを具備し、

前記第1制御信号と前記第1切替信号とが前記第1状態を表すとき、前記第3トランジスタのゲートに印加される前記第2制御信号は前記第1状態を表す昇圧回路。

【請求項10】

請求項6に記載の昇圧回路において、

前記第1導電型がP型であり、前記第2導電型がN型であるとき、

前記第3スイッチ部制御回路は、

前記第1制御信号と前記第2切替信号とが入力される第2NAND回路と、

その入力が前記第2NAND回路の出力に接続された第5反転素子と、

そのゲートが前記第5反転素子の出力に接続され、そのソースが接地された前記第2導電型の第11トランジスタと、

その入力が前記第5反転素子の出力に接続された第6反転素子と、

そのゲートが前記第6反転素子の出力に接続され、そのドレインが前記第4トランジスタのゲートに接続され、そのソースが接地された前記第2導電型の第12トランジスタと

、そのソースが前記第2ノードに接続され、そのゲートが前記第12トランジスタのドレインに接続され、そのドレインが前記第11トランジスタのドレインに接続された前記第1導電型の第13トランジスタと、

そのソースが前記第2ノードに接続され、そのゲートが前記第11トランジスタのドレインに接続され、そのドレインが前記第12トランジスタのドレインに接続された前記第1導電型の第14トランジスタとを具備し、

前記第1制御信号と前記第2切替信号とが前記第1状態を表すとき、前記第4トランジスタのゲートに印加される前記第3制御信号は前記第1状態を表す昇圧回路。

【請求項11】

請求項7に記載の昇圧回路において、

前記第1導電型がP型であり、前記第2導電型がN型であるとき、

前記第4スイッチ部制御回路は、

前記第1制御信号と前記第2切替信号とが入力される第3NAND回路と、

その入力が前記第3NAND回路の出力に接続された第7反転素子と、

そのゲートが前記第7反転素子の出力に接続され、そのソースが接地された前記第2導電型の第15トランジスタと、

その入力が前記第7反転素子の出力に接続された第8反転素子と、

そのゲートが前記第8反転素子の出力に接続され、そのソースが接地された前記第2導電型の第16トランジスタと、

そのソースが前記第2ノードに接続され、そのゲートが前記第16トランジスタのドレインに接続され、そのドレインが前記第15トランジスタのドレインに接続された前記第1導電型の第17トランジスタと、

そのソースが前記第 2 ノードに接続され、そのゲートが前記第 1 5 トランジスタのドレインに接続され、そのドレインが前記第 1 6 トランジスタのドレインに接続された前記第 1 導電型の第 1 8 トランジスタと、

その負極側が前記第 1 6 トランジスタのドレインに接続され、その正極側が前記第 3 トランジスタのゲートに接続された第 5 容量部と、

その出力が前記第 5 容量部の正極側に接続され、その入力が入力電源に接続され、前記第 5 容量部から前記電源への逆流を防止する第 5 逆流防止素子とを具備し、

前記第 1 制御信号と前記第 2 切替信号とが前記第 1 状態を表すとき、前記第 5 トランジスタのゲートに印加される前記第 4 制御信号は前記第 1 状態を表す昇圧回路。

【請求項 1 2】

請求項 8 に記載の昇圧回路において、

前記第 2 導電型が N 型であるとき、

第 5 スイッチ部制御回路は、

前記第 1 制御信号と前記第 2 切替信号とが入力され、その出力が前記第 6 トランジスタのゲートに接続された第 4 N A N D 回路を具備し、

前記第 1 制御信号と前記第 2 切替信号との少なくとも 1 つが前記第 2 状態を表すとき、前記第 6 トランジスタのゲートに印加される前記第 5 制御信号は前記第 1 状態を表す昇圧回路。

【請求項 1 3】

電源電圧が印加される N 個 (N は 2 以上の整数) のチャージポンプ回路と、

切替信号に応じて、前記 N 個のチャージポンプ回路のうちの J 個 (J は $2 \leq J \leq N$ を満たす整数) のチャージポンプ回路を直列接続して前記電源電圧の ($J + 1$) 倍の電圧を半導体装置の内部回路に出力する切替部とを具備する昇圧回路。

【請求項 1 4】

昇圧回路と、

前記昇圧回路に接続された半導体装置の内部回路とを具備し、

前記昇圧回路は、

第 1 電圧を昇圧して第 2 電圧を生成する第 1 チャージポンプ回路と、

前記第 2 電圧を昇圧して第 3 電圧を生成する第 2 チャージポンプ回路と、

前記第 3 電圧を昇圧して第 4 電圧を生成する第 3 チャージポンプ回路と、

第 1 切替信号に応じて、前記第 1 チャージポンプ回路と前記第 2 チャージポンプ回路とを直列接続して前記第 3 電圧を前記半導体装置の内部回路に出力し、第 2 切替信号に応じて、前記第 1 チャージポンプ回路と前記第 2 チャージポンプ回路と前記第 3 チャージポンプ回路とを直列接続して前記第 4 電圧を前記半導体装置の内部回路に出力する切替部とを具備する半導体装置。

【請求項 1 5】

請求項 1 4 に記載の半導体装置において、

前記切替部は、

第 1 制御信号に応じて、前記第 1 チャージポンプ回路と前記第 2 チャージポンプ回路とを接続するための第 1 スイッチ部と、

前記第 1 制御信号と前記第 1 切替信号とに応じて、前記第 2 チャージポンプ回路と前記半導体装置の内部回路の第 1 ノードとを接続するための第 2 スイッチ部と、

前記第 1 制御信号と前記第 2 切替信号とに応じて、前記第 2 チャージポンプ回路と前記第 3 チャージポンプ回路とを接続するための第 3 スイッチ部と、

前記第 1 制御信号と前記第 2 切替信号とに応じて、前記第 3 チャージポンプ回路と前記半導体装置の内部回路の第 2 ノードとを接続するための第 4 スイッチ部とを具備する半導体装置。

【請求項 1 6】

請求項 15 に記載の半導体装置において、

前記第 1 チャージポンプ回路は、

その正極側が前記第 1 スイッチ部に接続された第 1 容量部と、

その出力が前記第 1 容量部の正極側に接続され、その入力電源に接続され、前記第 1 容量部から前記電源への逆流を防止する第 1 逆流防止素子とを具備し、

前記電源は前記第 1 電圧を発生し、

前記第 2 チャージポンプ回路は、

その負極側が前記第 1 スイッチ部に接続され、その正極側が前記第 2 スイッチ部と前記第 3 スイッチ部とに接続された第 2 容量部と、

その出力が前記第 2 容量部の正極側に接続され、その入力電源に接続され、前記第 2 容量部から前記電源への逆流を防止する第 2 逆流防止素子とを具備し、

前記第 3 チャージポンプ回路は、

その負極側が前記第 3 スイッチ部に接続され、その正極側が前記第 4 スイッチ部に接続された第 3 容量部と、

その出力が前記第 3 容量部の正極側に接続され、その入力電源に接続され、前記第 3 容量部から前記電源への逆流を防止する第 3 逆流防止素子とを具備する半導体装置。

【請求項 17】

請求項 16 に記載の半導体装置において、

前記第 1 スイッチ部は、

前記第 1 制御信号が入力される第 1 反転素子と、

その入力前記第 1 反転素子の出力に接続され、その出力が前記第 1 容量部の負極側に接続された第 2 反転素子と、

そのゲート前記第 1 反転素子の出力に接続され、前記第 1 反転素子に入力される前記第 1 制御信号が第 1 状態を表すとき、前記第 1 容量部の正極側と前記第 2 容量部の負極側とを接続する第 1 導電型の第 1 トランジスタと、

そのゲート前記第 1 反転素子の出力に接続され、前記第 1 反転素子に入力される前記第 1 制御信号が第 2 状態を表すとき、前記第 2 容量部の負極側を接地する第 2 導電型の第 2 トランジスタと

を具備する半導体装置。

【請求項 18】

請求項 17 に記載の半導体装置において、

前記第 2 スイッチ部は、

前記第 1 制御信号と前記第 1 切替信号と前記第 1 ノードに印加される電圧とに基づいて、第 2 制御信号を出力する第 2 スイッチ部制御回路と、

そのゲート前記第 2 スイッチ部制御回路に接続され、前記第 1 制御信号と前記第 1 切替信号とが前記第 1 状態を表すとき、前記第 2 容量部の正極側と第 1 ノードとを接続する第 2 導電型の第 3 トランジスタと

を具備する

半導体装置。

【請求項 19】

請求項 18 に記載の半導体装置において、

前記第 3 スイッチ部は、

前記第 1 制御信号と前記第 2 切替信号とが前記第 1 状態を表すとき、前記第 2 ノードに印加される電圧に基づいて、第 3 制御信号を出力する第 3 スイッチ部制御回路と、

そのゲート前記第 3 スイッチ部制御回路に接続され、前記第 3 制御信号が前記第 1 状態を表すとき、前記第 2 容量部の正極側と前記第 3 容量部の負極側とを接続する第 2 導電型の第 4 トランジスタと

を具備する半導体装置。

【請求項 20】

請求項 19 に記載の半導体装置において、

前記第 4 スイッチ部は、

前記第 1 制御信号と前記第 2 切替信号とが前記第 1 状態を表すとき、前記第 2 ノードに印加される電圧に基づいて、第 4 制御信号を出力する第 4 スイッチ部制御回路と、

そのゲートが前記第 4 スイッチ部制御回路に接続され、前記第 4 制御信号が前記第 1 状態を表すとき、前記第 3 容量部の正極側と前記第 2 ノードとを接続する第 2 導電型の第 5 トランジスタと

を具備する半導体装置。

【請求項 21】

請求項 20 に記載の半導体装置において、

前記切替部は、更に、

第 5 スイッチ部を具備し、

前記第 5 スイッチ部は、

前記第 1 制御信号と前記第 2 切替信号との少なくとも 1 つが前記第 2 状態を表すとき、第 5 制御信号を出力する第 5 スイッチ部制御回路と、

そのゲートが前記第 5 スイッチ部制御回路に接続され、前記第 5 制御信号に応じて、前記第 3 容量部の負極側を接地する第 2 導電型の第 6 トランジスタと

を具備する半導体装置。

【請求項 22】

請求項 18 に記載の半導体装置において、

前記第 1 導電型が P 型であり、前記第 2 導電型が N 型であるとき、

前記第 2 スイッチ部制御回路は、

前記第 1 制御信号と前記第 1 切替信号とが入力される第 1 NAND 回路と、

その入力が入記第 1 NAND 回路の出力に接続された第 3 反転素子と、

そのゲートが前記第 3 反転素子の出力に接続され、そのソースが接地された第 2 導電型の第 7 トランジスタと、

その入力が入記第 3 反転素子の出力に接続された第 4 反転素子と、

そのゲートが入記第 4 反転素子の出力に接続され、そのソースが接地された第 2 導電型の第 8 トランジスタと、

そのソースが入記第 1 ノードに接続され、そのゲートが入記第 8 トランジスタのドレインに接続され、そのドレインが入記第 7 トランジスタのドレインに接続された第 1 導電型の第 9 トランジスタと、

そのソースが入記第 1 ノードに接続され、そのゲートが入記第 7 トランジスタのドレインに接続され、そのドレインが入記第 8 トランジスタのドレインに接続された第 1 導電型の第 10 トランジスタと、

その負極側が入記第 8 トランジスタのドレインに接続され、その正極側が入記第 3 トランジスタのゲートに接続された第 4 容量部と、

その出力が入記第 4 容量部の正極側に接続され、その入力が入記電源に接続され、前記第 4 容量部から前記電源への逆流を防止する第 4 逆流防止素子とを具備し、

前記第 1 制御信号と前記第 1 切替信号とが入記第 1 状態を表すとき、前記第 3 トランジスタのゲートに印加される前記第 2 制御信号は前記第 1 状態を表す半導体装置。

【請求項 23】

請求項 19 に記載の半導体装置において、

前記第 1 導電型が P 型であり、前記第 2 導電型が N 型であるとき、

前記第 3 スイッチ部制御回路は、

前記第 1 制御信号と前記第 2 切替信号とが入力される第 2 NAND 回路と、

その入力が入記第 2 NAND 回路の出力に接続された第 5 反転素子と、

そのゲートが入記第 5 反転素子の出力に接続され、そのソースが接地された第 2 導電型の第 11 トランジスタと、

その入力の前記第 5 反転素子の出力に接続された第 6 反転素子と、
そのゲートが前記第 6 反転素子の出力に接続され、そのドレインが前記第 4 トランジスタのゲートに接続され、そのソースが接地された第 2 導電型の第 12 トランジスタと、
そのソースが前記第 2 ノードに接続され、そのゲートが前記第 12 トランジスタのドレインに接続され、そのドレインが前記第 11 トランジスタのドレインに接続された第 1 導電型の第 13 トランジスタと、
そのソースが前記第 2 ノードに接続され、そのゲートが前記第 11 トランジスタのドレインに接続され、そのドレインが前記第 12 トランジスタのドレインに接続された第 1 導電型の第 14 トランジスタとを具備し、
前記第 1 制御信号と前記第 2 切替信号とが前記第 1 状態を表すとき、前記第 4 トランジスタのゲートに印加される前記第 3 制御信号は前記第 1 状態を表す半導体装置。

【請求項 24】

請求項 20 に記載の半導体装置において、
前記第 1 導電型が P 型であり、前記第 2 導電型が N 型であるとき、
前記第 4 スイッチ部制御回路は、
前記第 1 制御信号と前記第 2 切替信号とが入力される第 3 NAND 回路と、
その入力の前記第 3 NAND 回路の出力に接続された第 7 反転素子と、
そのゲートが前記第 7 反転素子の出力に接続され、そのソースが接地された前記第 2 導電型の第 15 トランジスタと、
その入力の前記第 7 反転素子の出力に接続された第 8 反転素子と、
そのゲートが前記第 8 反転素子の出力に接続され、そのソースが接地された前記第 2 導電型の第 16 トランジスタと、
そのソースが前記第 2 ノードに接続され、そのゲートが前記第 16 トランジスタのドレインに接続され、そのドレインが前記第 15 トランジスタのドレインに接続された前記第 1 導電型の第 17 トランジスタと、
そのソースが前記第 2 ノードに接続され、そのゲートが前記第 15 トランジスタのドレインに接続され、そのドレインが前記第 16 トランジスタのドレインに接続された前記第 1 導電型の第 18 トランジスタと、
その負極側が前記第 16 トランジスタのドレインに接続され、その正極側が前記第 3 トランジスタのゲートに接続された第 5 容量部と、
その出力が前記第 5 容量部の正極側に接続され、その入力の前記電源に接続され、前記第 5 容量部から前記電源への逆流を防止する第 5 逆流防止素子とを具備し、
前記第 1 制御信号と前記第 2 切替信号とが前記第 1 状態を表すとき、前記第 5 トランジスタのゲートに印加される前記第 4 制御信号は前記第 1 状態を表す半導体装置。

【請求項 25】

請求項 21 に記載の半導体装置において、
前記第 2 導電型が N 型であるとき、
第 5 スイッチ部制御回路は、
前記第 1 制御信号と前記第 2 切替信号とが入力され、その出力が前記第 6 トランジスタのゲートに接続された第 4 NAND 回路を具備し、
前記第 1 制御信号と前記第 2 切替信号との少なくとも 1 つが前記第 2 状態を表すとき、前記第 6 トランジスタのゲートに印加される前記第 5 制御信号は前記第 1 状態を表す半導体装置。

【請求項 26】

昇圧回路と、
前記昇圧回路に接続された半導体装置の内部回路とを具備し、
前記昇圧回路は、
電源電圧が印加される N 個（N は 2 以上の整数）のチャージポンプ回路と、

切替信号に応じて、前記N個のチャージポンプ回路のうちのJ個（Jは $2 \leq J \leq N$ を満たす整数）のチャージポンプ回路を直列接続して前記電源電圧の（J+1）倍の電圧を半導体装置の内部回路に出力する切替部とを具備する半導体装置。

【書類名】明細書

【発明の名称】昇圧回路

【技術分野】

【0001】

本発明は、昇圧回路に関し、特に、電源電圧よりも高い電圧を必要とする半導体装置に適用される昇圧回路に関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory) で例示される半導体装置の内部回路では、電源電圧よりも高い電圧を必要とする場合がある。この場合、電源電圧よりも高い電圧を半導体装置の内部回路に供給するための昇圧回路が用いられる (例えば特許文献 1～8)。昇圧回路が必要とされる例として、(1) 電源電圧よりも高い電圧をワード線に印加する場合、(2) 電源電圧よりも高い電圧をアンチヒューズに印加する場合が挙げられる。

【0003】

(1) 電源電圧よりも高い電圧をワード線に印加する場合について説明する。

DRAMではメモリセルへH (H i レベル) 電荷を蓄積するために、ワード線には、メモリセルに蓄積する電荷に対応する電圧とセルトランジスタの閾値電圧 V_t とを加算した電圧以上の高電圧が必須となる。このため、電源電圧 V_{DD} 以上の電圧を供給できる昇圧回路を装置内部に備えている。DRAMにおけるワード線電位は、メモリセルに蓄積する電荷に対応する電圧やセルトランジスタの閾値電圧 V_t 、セルトランジスタのゲート酸化膜にかかる電界などを考慮して決定される。例えば $0.13\mu\text{m}$ デザインルールにより設計された製品では、4V弱に設定される。

【0004】

(2) 電源電圧よりも高い電圧をアンチヒューズに印加する場合について説明する。

また、近年では昇圧回路を必要とする例として、アンチヒューズを備えた半導体装置が挙げられる。アンチヒューズとは、外部からレーザー等によって物理的に切断するヒューズとは異なり、電氣的にON/OFFを切り替えることが可能なヒューズである。このようなアンチヒューズとしては、容量膜ヒューズが例示される。

容量膜ヒューズは、初期状態では容量により端子間が電氣的にオープンな状態である。この容量膜ヒューズは、端子間に高電界を与えることで絶縁膜 (容量膜) を破壊し、端子間を電氣的にショートした状態に切り替えることができる。例えばDRAMセルの容量膜と同じ膜厚で容量膜ヒューズを形成した場合、容量膜を破壊するときに端子間に必要な電位差は、約7Vといわれている。容量膜ヒューズの一方の端子をGNDとすると、容量膜ヒューズの他方の端子には7Vの電圧が必要となる。

【0005】

上記の(1)の場合、(2)の場合を説明したが、同じ半導体装置内で両方(1)の場合、(2)の場合に必要とすることも十分にありうる。特に、DRAMでは(1)の場合に挙げたワード線用の昇圧回路は必須である。また、近年のDRAMでは、不良セル救済用にアンチヒューズ及びヒューズ切断用の昇圧回路を搭載することも多くなってきている。

このように目的の異なる昇圧回路を搭載する場合に、特に上記の例で述べたように、(1)の場合では昇圧された電圧が約4V、(2)の場合では約7Vと、要求される昇圧電位が異なる場合には、それぞれ個別に昇圧回路を設けることが通常である。

【0006】

ところで、今日の半導体集積回路では全般的に外部電源電圧 V_{DD} の低電圧化が進められており、DRAMにおいても現在の主流である3.3Vから2.5V、1.8Vへと低電圧化が要求されている。しかしながら、DRAMの電源電圧 V_{DD} が小さくともワード線に必要な電圧レベルは、従来と同等の高い電圧が要求される。そのために、1.8Vの電源電圧 V_{DD} で4V弱の電圧に昇圧させようとする、2倍以上の昇圧を行うこと

ができる昇圧回路が必要となってくる。

【0007】

2倍以上の昇圧を行う昇圧回路としては、図1に示すようなチャージポンプ回路を直列接続した昇圧回路が知られている。このような容量直列接続型の昇圧回路100は、例えば特許文献1、特許文献2に記載されている。従来の昇圧回路100は、第1昇圧回路110と、第2昇圧回路120とに分けられる。第1昇圧回路110では、半導体装置の内部回路としてワード線に、電源電圧VDDよりも高い電圧を出力電圧VPP1として印加する昇圧回路であり、第2昇圧回路120では、半導体装置の内部回路として容量膜ヒューズに、電源電圧VDDよりも高い電圧を出力電圧VPP2として印加する昇圧回路である。

【0008】

第1昇圧回路110は、反転素子INV101、第1チャージポンプ回路、第2チャージポンプ回路、スイッチSW101、SW102を具備する。第1チャージポンプ回路は、容量部C101を備えている。第2チャージポンプ回路は、容量部C102を備えている。容量部C101の負極側には反転素子INV101が接続されている。容量部C101の正極側にはスイッチSW101の両端子のうちの一方の端子が接続されている。スイッチSW101の両端子のうちの他方の端子には、容量部C102の負極側が接続されている。容量部C102の正極側にはスイッチSW102の両端子のうちの一方の端子が接続されている。スイッチSW102の両端子のうちの他方の端子には、ノードX1が接続されている。ノードX1には、半導体装置の内部回路として、ワード線が接続されている。

スイッチSW101、SW102がオフしているとき、第1チャージポンプ回路では、容量部C101の負極側が接地され、容量部C101に電源VDDに対応する電荷が蓄積される。第2チャージポンプ回路では、容量部C102の負極側が接地され、容量部C102に電源VDDに対応する電荷が蓄積される。

【0009】

第2昇圧回路120は、反転素子INV102、第3チャージポンプ回路、第4チャージポンプ回路、第5チャージポンプ回路、スイッチSW103、SW104、SW105を具備する。第3チャージポンプ回路は、容量部C103を備えている。第4チャージポンプ回路は、容量部C104を備えている。第5チャージポンプ回路は、容量部C105を備えている。容量部C103の負極側には反転素子INV102が接続されている。容量部C103の正極側にはスイッチSW103の両端子のうちの一方の端子が接続されている。スイッチSW103の両端子のうちの他方の端子には、容量部C104の負極側が接続されている。容量部C104の正極側にはスイッチSW104の両端子のうちの一方の端子が接続されている。スイッチSW104の両端子のうちの他方の端子には、容量部C105の負極側が接続されている。容量部C105の正極側にはスイッチSW105の両端子のうちの一方の端子が接続されている。スイッチSW105の両端子のうちの他方の端子には、ノードX2が接続されている。ノードX2には、半導体装置の内部回路として、容量膜ヒューズ（アンチヒューズ）の両端子のうちの一方の端子が接続されている。

スイッチSW103、SW104、SW105がオフしているとき、第3チャージポンプ回路では、容量部C103の負極側が接地され、容量部C103に電源VDDに対応する電荷が蓄積される。第4チャージポンプ回路では、容量部C104の負極側が接地され、容量部C104に電源VDDに対応する電荷が蓄積される。第5チャージポンプ回路では、容量部C105の負極側が接地され、容量部C105に電源VDDに対応する電荷が蓄積される。

【0010】

図2に示されるように、第1昇圧回路110では、半導体装置の内部回路としてワード線に出力電圧VPP1を印加するとき、スイッチSW101、SW102が同時にオンするように制御する。スイッチSW101、SW102がオンしているとき、ノードX1には、電源電圧VDDの3倍の電圧である電圧（ $3 * VDD$ ）が印加される。即ち、ワード

線には、電圧 ($3 * VDD$) が出力電圧 $VPP1$ として印加される。

図 3 に示されるように、第 2 昇圧回路 120 では、半導体装置の内部回路として容量膜ヒューズに出力電圧 $VPP2$ を印加するとき、スイッチ $SW103$ 、 $SW104$ 、 $SW105$ が同時にオンするように制御する。スイッチ $SW103$ 、 $SW104$ 、 $SW105$ がオンしているとき、ノード $X2$ には、電源電圧 VDD の 4 倍の電圧である電圧 ($4 * VDD$) が印加される。即ち、容量膜ヒューズには、電圧 ($4 * VDD$) が出力電圧 $VPP2$ として印加される。

【0011】

しかし、問題となるのは上記の昇圧回路 100 (第 1 昇圧回路 110、第 2 昇圧回路 120) の面積である。昇圧を行うチャージポンプ回路 (容量部) はトランジスタの酸化膜容量を用いるのが一般的だが、この容量がチップ全体に占める面積は大きい。例えば、 $0.13 \mu m$ デザインルールで設計された 512 MDDR DRAM では、昇圧回路 100 の面積は全体の 1 % を超えている。

上記の昇圧回路 100 では、電源電圧よりも高い電圧をワード線、容量膜ヒューズのようにより目的別に発生する場合、第 1 昇圧回路 110 と第 2 昇圧回路 120 とが必要となる。このため、第 1 昇圧回路 110 内のチャージポンプ回路 (容量部) 2 個と第 2 昇圧回路 120 内のチャージポンプ回路 (容量部) 3 個の合計 5 個のチャージポンプ回路 (容量部) が必要になる。このように、第 1 昇圧回路 110 と第 2 昇圧回路 120 とを必要とする場合、昇圧回路 100 の回路面積が大きくなってしまふ。

【0012】

【特許文献 1】 特開平 11-328984 号公報

【特許文献 2】 特開平 7-264842 号公報

【特許文献 3】 特開 2000-331489 号公報

【特許文献 4】 特開平 8-162915 号公報

【特許文献 5】 特開平 7-37396 号公報

【特許文献 6】 特開平 10-214496 号公報

【特許文献 7】 特開平 10-304653 号公報

【特許文献 8】 特許第 3012634 号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の課題は、電源電圧よりも高い電圧を目的別に発生することができる昇圧回路を提供することにある。

【0014】

本発明の他の課題は、回路面積を削減することができる昇圧回路を提供することにある。

【課題を解決するための手段】

【0015】

以下に、[発明を実施するための最良の形態] で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明を実施するための最良の形態] の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【0016】

本発明の昇圧回路 (10) は、半導体装置に適用される。半導体装置は、本発明の昇圧回路 (10) と、半導体装置の内部回路 20 とを具備する。本発明の昇圧回路 (10) は、半導体装置の内部回路 (20) に接続されている。

【0017】

本発明の昇圧回路 (10) は、第 1 チャージポンプ回路 (1) と、第 2 チャージポンプ回路 (2) と、第 3 チャージポンプ回路 (3) と、切替部 (4) とを具備する。第 1 チャ

ージポンプ回路(1)は、第1電圧(VDD)を昇圧して第2電圧($2 * VDD$)を生成する。第2チャージポンプ回路(2)は、第2電圧($2 * VDD$)を昇圧して第3電圧($3 * VDD$)を生成する。第3チャージポンプ回路(3)は、第3電圧($3 * VDD$)を昇圧して第4電圧($4 * VDD$)を生成する。切替部(4)は、第1切替信号(MODE 1)に応じて、第1チャージポンプ回路(1)と第2チャージポンプ回路(2)とを直列接続して第3電圧($3 * VDD$ 、VPP1)を半導体装置の内部回路(20)に出力する。切替部(4)は、第2切替信号(MODE 2)に応じて、第1チャージポンプ回路(1)と第2チャージポンプ回路(2)と第3チャージポンプ回路(3)とを直列接続して第4電圧($4 * VDD$ 、VPP2)を半導体装置の内部回路(20)に出力する。

【0018】

切替部(4)は、第1スイッチ部(5)と、第2スイッチ部(6)と、第3スイッチ部(7)と、第4スイッチ部(8)とを具備する。第1スイッチ部(5)は、第1制御信号(SIG1)に応じて、第1チャージポンプ回路(1)と第2チャージポンプ回路(2)とを接続する。第2スイッチ部(6)は、第1制御信号(SIG1)と第1切替信号(MODE 1)とに応じて、第2チャージポンプ回路(2)と半導体装置の内部回路(20)の第1ノード(X1)とを接続する。第3スイッチ部(7)は、第1制御信号(SIG1)と第2切替信号(MODE 2)とに応じて、第2チャージポンプ回路(2)と第3チャージポンプ回路(3)とを接続する。第4スイッチ部(8)は、第1制御信号(SIG1)と第2切替信号(MODE 2)とに応じて、第3チャージポンプ回路(3)と半導体装置の内部回路(20)の第2ノード(X2)とを接続する。

【0019】

第1チャージポンプ回路(1)は、第1容量部(C1)と、第1逆流防止素子(D1)とを具備する。第1容量部(C1)の正極側(Q2)は第1スイッチ部(5)に接続されている。第1逆流防止素子(D1)の出力は第1容量部(C1)の正極側(Q2)に接続され、第1逆流防止素子(D1)の入力は電源(VDD)に接続されている。第1逆流防止素子(D1)は、第1容量部(C1)から電源(VDD)への逆流を防止する。電源(VDD)は第1電圧(VDD)を発生する。

第2チャージポンプ回路(2)は、第2容量部(C2)と、第2逆流防止素子(D2)とを具備する。第2容量部(C2)の負極側(Q3)は第1スイッチ部(5)に接続され、第2容量部(C2)の正極側(Q4)は第2スイッチ部(6)と第3スイッチ部(7)とに接続されている。第2逆流防止素子(D2)の出力は第2容量部(C2)の正極側(Q4)に接続され、第2逆流防止素子(D2)の入力は電源(VDD)に接続されている。第2逆流防止素子(D2)は、第2容量部(C2)から電源(VDD)への逆流を防止する。

第3チャージポンプ回路(3)は、第3容量部(C3)と、第3逆流防止素子(D3)とを具備する。第3容量部(C3)の負極側(Q5)は第3スイッチ部(7)に接続され、第3容量部(C3)の正極側(Q6)は第4スイッチ部(8)に接続されている。第3逆流防止素子(D3)の出力は第3容量部(C3)の正極側(Q6)に接続され、第3逆流防止素子(D3)の入力が電源(VDD)に接続されている。第3逆流防止素子(D3)は、第3容量部(C3)から電源(VDD)への逆流を防止する。

【0020】

第1スイッチ部(5)は、第1反転素子(INV1)と、第2反転素子(INV2)と、第1導電型(P型)の第1トランジスタ(P1)と、第2導電型(N型)の第2トランジスタ(N1)とを具備する。第1反転素子(INV1)には、第1制御信号(SIG1)が入力される。第2反転素子(INV2)の入力は第1反転素子(INV1)の出力に接続され、第2反転素子(INV2)の出力が第1容量部(C1)の負極側(Q1)に接続されている。第1トランジスタ(P1)のゲートは第1反転素子(INV1)の出力に接続されている。第1トランジスタ(P1)は、第1反転素子(INV1)に入力される第1制御信号(SIG1)が第1状態(アクティブ)を表すとき、第1容量部(C1)の正極側(Q2)と第2容量部(C2)の負極側(Q3)とを接続する。第2トランジスタ

(N1) のゲートは第1反転素子 (INV1) の出力に接続されている。第2トランジスタ (N1) は、第1反転素子 (INV1) に入力される第1制御信号 (SIG1) が第2状態 (インアクティブ) を表すとき、第2容量部 (C2) の負極側 (Q3) を接地する。

【0021】

第2スイッチ部 (6) は、第2スイッチ部制御回路 (12) と、第2導電型 (N型) の第3トランジスタ (N2) とを具備する。第2スイッチ部制御回路 (12) は、第1制御信号 (SIG1) と第1切替信号 (MODE1) と第1ノード (X1) に印加される電圧とに基づいて、第2制御信号 (SIG2) を出力する。第3トランジスタ (N2) のゲートは第2スイッチ部制御回路 (12) に接続されている。第3トランジスタ (N2) は、第1制御信号 (SIG1) と第1切替信号 (MODE1) とが第1状態 (アクティブ) を表すとき、第2容量部 (C2) の正極側 (Q4) と第1ノード (X1) とを接続する。

【0022】

第3スイッチ部 (7) は、第3スイッチ部制御回路 (13) と、第2導電型 (N型) の第4トランジスタ (N3) とを具備する。第3スイッチ部制御回路 (13) は、第1制御信号 (SIG1) と第2切替信号 (MODE2) とが第1状態 (アクティブ) を表すとき、第2ノード (X2) に印加される電圧に基づいて、第3制御信号 (SIG3) を出力する。第4トランジスタ (N3) のゲートは第3スイッチ部制御回路 (13) に接続されている。第4トランジスタ (N3) は、第3制御信号 (SIG3) が第1状態 (アクティブ) を表すとき、第2容量部 (C2) の正極側 (Q4) と第3容量部 (C3) の負極側 (Q5) とを接続する。

【0023】

第4スイッチ部 (8) は、第4スイッチ部制御回路 (14) と、第2導電型 (N型) の第5トランジスタ (N4) とを具備する。第4スイッチ部制御回路 (14) は、第1制御信号 (SIG1) と第2切替信号 (MODE2) とが第1状態 (アクティブ) を表すとき、第2ノード (X2) に印加される電圧に基づいて、第4制御信号 (SIG4) を出力する。第5トランジスタ (N4) のゲートは第4スイッチ部制御回路 (14) に接続されている。第5トランジスタ (N4) は、第4制御信号 (SIG4) が第1状態 (アクティブ) を表すとき、第3容量部 (C3) の正極側 (Q6) と第2ノード (X2) とを接続する。

【0024】

切替部 (4) は、更に、第5スイッチ部 (9) を具備する。第5スイッチ部 (9) は、第5スイッチ部制御回路 (15) と、第2導電型 (N型) の第6トランジスタ (N5) とを具備する。第5スイッチ部制御回路 (15) は、第1制御信号 (SIG1) と第2切替信号 (MODE2) との少なくとも1つが第2状態 (インアクティブ) を表すとき、第5制御信号 (SIG5) を出力する。第6トランジスタ (N5) のゲートは第5スイッチ部制御回路 (15) に接続されている。第6トランジスタ (N5) は、第5制御信号 (SIG5) に応じて、第3容量部 (C3) の負極側 (Q5) を接地する。

【0025】

第1導電型がP型であり、第2導電型がN型である。この場合、第2スイッチ部制御回路 (12) は、第1NAND回路 (NAND1) と、第3反転素子 (INV3) と、第2導電型 (N型) の第7トランジスタ (N6) と、第4反転素子 (INV4) と、第2導電型 (N型) の第8トランジスタ (N7) と、第1導電型 (P型) の第9トランジスタ (P2) と、第1導電型 (P型) の第10トランジスタ (P3) と、第4容量部 (C4) と、第4逆流防止素子 (D4) とを具備する。第1NAND回路 (NAND1) には、第1制御信号 (SIG1) と第1切替信号 (MODE1) とが入力される。第3反転素子 (INV3) の入力第1NAND回路 (NAND1) の出力に接続されている。第7トランジスタ (N6) のゲートは第3反転素子 (INV3) の出力に接続され、第7トランジスタ (N6) のソースは接地されている。第4反転素子 (INV4) の入力第3反転素子 (INV3) の出力に接続されている。第8トランジスタ (N7) のゲートは第4反転素子 (INV4) の出力に接続され、第8トランジスタ (N7) のソースは接地されている。

第9トランジスタ(P2)のソースは第1ノード(X1)に接続され、第9トランジスタ(P2)のゲートは第8トランジスタ(N7)のドレインに接続され、第9トランジスタ(P2)のドレインは第7トランジスタ(N6)のドレインに接続されている。第10トランジスタ(P3)のソースは第1ノード(X1)に接続され、第10トランジスタ(P3)のゲートは第7トランジスタ(N6)のドレインに接続され、第10トランジスタ(P3)のドレインは第8トランジスタ(N7)のドレインに接続されている。第4容量部(C4)の負極側は第8トランジスタ(N7)のドレインに接続され、第4容量部(C4)の正極側は第3トランジスタ(N2)のゲートに接続されている。第4逆流防止素子(D4)の出力は第4容量部(C4)の正極側に接続され、第4逆流防止素子(D4)の入力は電源(VDD)に接続され、第4逆流防止素子(D4)は、第4容量部(C4)から電源(VDD)への逆流を防止する。

第1制御信号(SIG1)と第1切替信号(MODE1)とが第1状態(アクティブ)を表すとき、第3トランジスタ(N2)のゲートに印加される第2制御信号(SIG2)は第1状態(アクティブ)を表す。

【0026】

第1導電型がP型であり、第2導電型がN型である。この場合、第3スイッチ部制御回路(13)は、第2NAND回路(NAND2)と、第5反転素子(INV5)と、第2導電型(N型)の第11トランジスタ(N8)と、第6反転素子(INV6)と、第2導電型(N型)の第12トランジスタ(N9)と、第1導電型(P型)の第13トランジスタ(P4)と、第1導電型(P型)の第14トランジスタ(P5)とを具備する。第2NAND回路(NAND2)には第1制御信号(SIG1)と第2切替信号(MODE2)とが入力される。第5反転素子(INV5)の入力は第2NAND回路(NAND2)の出力に接続されている。第11トランジスタ(N8)のゲートは第5反転素子(INV5)の出力に接続され、第11トランジスタ(N8)のソースは接地されている。第6反転素子(INV6)の入力は第5反転素子(INV5)の出力に接続されている。第12トランジスタ(N9)のゲートは第6反転素子(INV6)の出力に接続され、第12トランジスタ(N9)のドレインは第4トランジスタ(N3)のゲートに接続され、第12トランジスタ(N9)のソースは接地されている。第13トランジスタ(P4)のソースは第2ノード(X2)に接続され、第13トランジスタ(P4)のゲートは第12トランジスタ(N9)のドレインに接続され、第13トランジスタ(P4)のドレインは第11トランジスタ(N8)のドレインに接続されている。第14トランジスタ(P5)のソースは第2ノード(X2)に接続され、第14トランジスタ(P5)のゲートは第11トランジスタ(N8)のドレインに接続され、第14トランジスタ(P5)のドレインは第12トランジスタ(N9)のドレインに接続されている。

第1制御信号(SIG1)と第2切替信号(MODE2)とが第1状態(アクティブ)を表すとき、第4トランジスタ(N3)のゲートに印加される第3制御信号(SIG3)は第1状態(アクティブ)を表す。

【0027】

第1導電型がP型であり、第2導電型がN型である。この場合、第4スイッチ部制御回路(14)は、第3NAND回路(NAND3)と、第7反転素子(INV7)と、第2導電型(N型)の第15トランジスタ(N10)と、第8反転素子(INV8)と、第2導電型(N型)の第16トランジスタ(N11)と、第1導電型(P型)の第17トランジスタ(P6)と、第1導電型(P型)の第18トランジスタ(P7)と、第5容量部(C5)と、第5逆流防止素子(D5)とを具備する。第3NAND回路(NAND3)には、第1制御信号(SIG1)と第2切替信号(MODE2)とが入力される。第7反転素子(INV7)の入力は第3NAND回路(NAND3)の出力に接続されている。第15トランジスタ(N10)のゲートは第7反転素子(INV7)の出力に接続され、第15トランジスタ(N10)のソースは接地されている。第8反転素子(INV8)の入力は第7反転素子(INV7)の出力に接続されている。第16トランジスタ(N11)のゲートは第8反転素子(INV8)の出力に接続され、第16トランジスタ(N11)

のソースは接地されている。第17トランジスタ(P6)のソースは第2ノード(X2)に接続され、第17トランジスタ(P6)のゲートは第16トランジスタ(N11)のドレインに接続され、第17トランジスタ(P6)のドレインは第15トランジスタ(N10)のドレインに接続されている。第18トランジスタ(P7)のソースは第2ノード(X2)に接続され、第18トランジスタ(P7)のゲートは第15トランジスタ(N10)のドレインに接続され、第18トランジスタ(P7)のドレインは第16トランジスタ(N11)のドレインに接続されている。第5容量部(C5)の負極側は第16トランジスタ(N11)のドレインに接続され、第5容量部(C5)の正極側が第3トランジスタ(N2)のゲートに接続されている。第5逆流防止素子(D5)の出力は第5容量部(C5)の正極側に接続され、第5逆流防止素子(D5)の入力は電源(VDD)に接続され、第5逆流防止素子(D5)は、第5容量部(C5)から電源(VDD)への逆流を防止する。

第1制御信号(SIG1)と第2切替信号(MODE2)とが第1状態(アクティブ)を表すとき、第5トランジスタ(N4)のゲートに印加される第4制御信号(SIG4)は第1状態(アクティブ)を表す。

【0028】

第2導電型がN型である。この場合、第5スイッチ部制御回路(15)は、第4NAND回路(NAND4)を具備する。第4NAND回路(NAND4)には第1制御信号(SIG1)と第2切替信号(MODE2)とが入力され、第4NAND回路(NAND4)の出力は第6トランジスタ(N5)のゲートに接続されている。

第1制御信号(SIG1)と第2切替信号(MODE2)との少なくとも1つが第2状態(インアクティブ)を表すとき、第6トランジスタ(N5)のゲートに印加される第5制御信号(SIG5)は第1状態(アクティブ)を表す。

【0029】

本発明の昇圧回路(10)は、電源電圧が印加されるN個(Nは2以上の整数)のチャージポンプ回路(1、2、3)と、切替部(4)とを具備する。切替部(4)は、切替信号に応じて、N個のチャージポンプ回路(1、2、3)のうちのJ個($2 \leq J \leq N$ を満たす整数)のチャージポンプ回路を直列接続して電源電圧の(J+1)倍の電圧を半導体装置の内部回路(20)に出力する。

【発明の効果】

【0030】

以上の構成により、本発明の昇圧回路(10)によれば、電源電圧(第1電圧)よりも高い電圧をワード線、容量膜ヒューズのように目的別に発生することができる。

【0031】

また、本発明の昇圧回路(10)によれば、回路面積を削減することができる。

【発明を実施するための最良の形態】

【0032】

添付図面を参照して、本発明による昇圧回路を実施するための最良の形態を以下に説明する。

【0033】

図4は、本発明の昇圧回路10が適用される半導体装置の構成を示す。昇圧回路10は、半導体装置の内部回路20に接続されている。半導体装置の内部回路20には、ノードX1とノードX2とが設けられている。ノードX1には、半導体装置の内部回路20としてワード線が接続されている。ノードX2には、半導体装置の内部回路20として、不良セル救済用の容量膜ヒューズ(アンチヒューズ)の両端子のうちの一方の端子が接続されている。

【0034】

図5は、本発明の昇圧回路10の構成を示す。昇圧回路10は、チャージポンプ回路1と、チャージポンプ回路2と、チャージポンプ回路3と、切替部4と、制御部11とを具備する。チャージポンプ回路1は、第1電圧を昇圧して第2電圧を生成する。第2電圧は

、第1電圧の2倍の電圧である。チャージポンプ回路2は、第2電圧を昇圧して第3電圧を生成する。第3電圧は、第1電圧の3倍の電圧である。チャージポンプ回路3は、第3電圧を昇圧して第4電圧を生成する。第4電圧は、第1電圧の4倍の電圧である。

制御部11は、外部からの命令により、切替信号MODE1又は切替信号MODE2を切替部4に出力する。切替部4は、切替信号MODE1に応じて、チャージポンプ回路1とチャージポンプ回路2とを直列接続して第3電圧を出力電圧VPP1としてノードX1に出力する。切替部4は、切替信号MODE2に応じて、チャージポンプ回路1とチャージポンプ回路2とチャージポンプ回路3とを直列接続して第4電圧を出力電圧VPP2としてノードX2に出力する。

【0035】

このように、本発明の昇圧回路10によれば、電源電圧（第1電圧）よりも高い電圧をワード線、容量膜ヒューズのように目的別に発生することができる。この場合、昇圧回路が一つで済む。即ち、本発明の昇圧回路10では、半導体装置の内部回路20としてワード線に第3電圧（出力電圧VPP1）を印加する場合、チャージポンプ回路1とチャージポンプ回路2との2個のチャージポンプ回路を用いる。本発明の昇圧回路10では、半導体装置の内部回路20として容量膜ヒューズに第4電圧（出力電圧VPP2）を印加する場合、上記の2個のチャージポンプ回路にチャージポンプ回路3を加えた3個のチャージポンプ回路を用いる。

【0036】

また、本発明の昇圧回路10によれば、回路面積を削減することができる。従来の昇圧回路100では、前述したように、半導体装置の内部回路としてワード線に第3電圧（出力電圧VPP1）を印加する場合、第1チャージポンプ回路（容量部C101）と第2チャージポンプ回路（容量部C102）との2個のチャージポンプ回路（容量部）を用いる。一方、従来の昇圧回路100では、半導体装置の内部回路として容量膜ヒューズに第4電圧（出力電圧VPP2）を印加する場合、第3チャージポンプ回路（容量部C103）と第4チャージポンプ回路（容量部C104）と第5チャージポンプ回路（容量部C105）との3個のチャージポンプ回路（容量部）を用いる。このため、従来の昇圧回路100では、合計5個のチャージポンプ回路が必要である。これに対して、本発明の昇圧回路10によれば、合計3個のチャージポンプ回路で済む。従って、本発明の昇圧回路10は、従来の昇圧回路100に対して、3/5倍の回路面積で済み、その回路面積は40%削減される。

【0037】

チャージポンプ回路1は、容量部C1と、ダイオードD1とを具備する。容量部C1の負極側には、ノードQ1が接続されている。容量部C1の正極側には、ノードQ2が接続されている。ノードQ2には、第1スイッチ部5が接続されている。ダイオードD1の出力端子には、ノードQ2が接続されている。ダイオードD1の入力端子には、電源VDDが接続されている。ダイオードD1は、容量部C1から電源VDDへの逆流を防止する逆流防止素子である。電源VDDは上記の第1電圧を発生する。

チャージポンプ回路2は、容量部C2と、ダイオードD2とを具備する。容量部C2の負極側には、ノードQ3が接続されている。ノードQ3には、第1スイッチ部5が接続されている。容量部C2の正極側には、ノードQ4が接続されている。ノードQ4には、第2スイッチ部6と第3スイッチ部7とが接続されている。ダイオードD2の出力端子には、ノードQ4が接続されている。ダイオードD2の入力端子には、電源VDDが接続されている。ダイオードD2は、容量部C2から電源VDDへの逆流を防止する逆流防止素子である。

チャージポンプ回路3は、容量部C3と、ダイオードD3とを具備する。容量部C3の負極側には、ノードQ5が接続されている。ノードQ5には、第3スイッチ部7が接続されている。容量部C3の正極側には、ノードQ6が接続されている。ノードQ6には、第4スイッチ部8が接続されている。ダイオードD3の出力端子には、ノードQ6が接続されている。ダイオードD3の入力端子には、電源VDDが接続されている。ダイオードD

3は、容量部C3から電源VDDへの逆流を防止する逆流防止素子である。

逆流防止素子としてダイオードD1、D2、D3を例示しているが、逆流防止素子は、トランジスタで構成されていてもよい。

【0038】

制御部11は、外部からの命令により、制御信号SIG1を出力する。

切替部4は、第1スイッチ部5と、第2スイッチ部6と、第3スイッチ部7と、第4スイッチ部8とを具備する。第1スイッチ部5は、制御信号SIG1に応じて、チャージポンプ回路1とチャージポンプ回路2とを接続する。第2スイッチ部6は、制御信号SIG1と切替信号MODE1とに応じて、チャージポンプ回路2とノードX1とを接続する。第3スイッチ部7は、制御信号SIG1と切替信号MODE2とに応じて、チャージポンプ回路2とチャージポンプ回路3とを接続する。第4スイッチ部8は、制御信号SIG1と切替信号MODE2とに応じて、チャージポンプ回路3とノードX2とを接続する。

【0039】

第1スイッチ部5は、反転素子INV1と、反転素子INV2と、P型のトランジスタP1と、N型のトランジスタN1とを具備する。反転素子INV1の入力端子には、制御部11が接続され、制御信号SIG1が入力される。反転素子INV2の入力端子には、反転素子INV1の出力端子が接続されている。反転素子INV2の出力端子には、ノードQ1が接続されている。

トランジスタP1のゲートには、反転素子INV1の出力端子が接続されている。トランジスタP1のソースには、ノードQ2が接続されている。トランジスタP1のドレインには、ノードQ3が接続されている。トランジスタN1のゲートには、反転素子INV1の出力端子が接続されている。トランジスタN1のドレインには、ノードQ3が接続されている。トランジスタN1のソースは接地されている。

制御信号SIG1は、その電圧レベルが接地レベルGNDであるときにインアクティブを表し、その電圧レベルが電源VDDと同じ電圧レベルVDDであるときにアクティブを表す。トランジスタP1のゲートに印加される制御信号SIG1がアクティブを表すとき、トランジスタP1はオフする。トランジスタP1のゲートに印加される制御信号SIG1がインアクティブを表すとき、トランジスタP1はオンする。トランジスタN1のゲートに印加される制御信号SIG1がアクティブを表すとき、トランジスタN1はオンする。トランジスタN1のゲートに印加される制御信号SIG1がインアクティブを表すとき、トランジスタN1はオフする。

【0040】

第2スイッチ部6は、第2スイッチ部制御回路12と、N型のトランジスタN2とを具備する。第2スイッチ部制御回路12は、制御信号SIG1と切替信号MODE1とノードX1に印加される電圧とに基づいて、制御信号SIG2を出力する。トランジスタN2のゲートには、第2スイッチ部制御回路12が接続されている。トランジスタN2のドレインには、ノードQ4が接続されている。トランジスタN2のソースには、ノードX1が接続されている。

制御信号SIG2は、その電圧レベルが電源VDDと同じ電圧レベルVDDであるときにインアクティブを表し、その電圧レベルが、電圧レベルVDDに、ノードX1に印加される電圧VPP1を加算した、電圧レベル(VPP1+VDD)であるときにアクティブを表す。トランジスタN2のゲートに印加される制御信号SIG2がインアクティブを表すとき、トランジスタN2はオフする。トランジスタN2のゲートに印加される制御信号SIG2がアクティブを表すとき、トランジスタN2はオンする。

【0041】

第3スイッチ部7は、第3スイッチ部制御回路13と、N型のトランジスタN3とを具備する。第3スイッチ部制御回路13は、制御信号SIG1と切替信号MODE2とノードX2に印加される電圧とに基づいて、制御信号SIG3を出力する。トランジスタN3のゲートには、第3スイッチ部制御回路13が接続されている。トランジスタN3のドレインには、ノードQ4が接続されている。トランジスタN3のソースには、ノードQ5が

接続されている。

制御信号 S I G 3 は、その電圧レベルが接地レベル G N D であるときにインアクティブを表し、その電圧レベルがノード X 2 に印加される電圧 V P P 2 であるときにアクティブを表す。トランジスタ N 3 のゲートに印加される制御信号 S I G 3 がインアクティブを表すとき、トランジスタ N 3 はオフする。トランジスタ N 3 のゲートに印加される制御信号 S I G 3 がアクティブを表すとき、トランジスタ N 3 はオンする。

【0042】

第 4 スイッチ部 8 は、第 4 スイッチ部制御回路 1 4 と、N 型のトランジスタ N 4 とを具備する。第 4 スイッチ部制御回路 1 4 は、制御信号 S I G 1 と切替信号 M O D E 2 とノード X 2 に印加される電圧とに基づいて、制御信号 S I G 4 を出力する。トランジスタ N 4 のゲートには、第 4 スイッチ部制御回路 1 4 が接続されている。トランジスタ N 4 のドレインには、ノード Q 6 が接続されている。トランジスタ N 4 のソースには、ノード X 2 が接続されている。

制御信号 S I G 4 は、その電圧レベルが電源 V D D と同じ電圧レベル V D D であるときにインアクティブを表し、その電圧レベルが、電圧レベル V D D に、ノード X 2 に印加される電圧 V P P 2 を加算した、電圧レベル (V P P 2 + V D D) であるときにアクティブを表す。トランジスタ N 4 のゲートに印加される制御信号 S I G 4 がインアクティブを表すとき、トランジスタ N 4 はオフする。トランジスタ N 4 のゲートに印加される制御信号 S I G 4 がアクティブを表すとき、トランジスタ N 4 はオンする。

【0043】

切替部 4 は、更に、第 5 スイッチ部 9 を具備する。

第 5 スイッチ部 9 は、第 5 スイッチ部制御回路 1 5 と、N 型のトランジスタ N 5 とを具備する。第 5 スイッチ部制御回路 1 5 は、制御信号 S I G 1 と切替信号 M O D E 2 とに基づいて、制御信号 S I G 5 を出力する。トランジスタ N 5 のゲートには、第 5 スイッチ部制御回路 1 5 が接続されている。トランジスタ N 5 のドレインには、ノード Q 5 が接続されている。トランジスタ N 5 のソースは接地されている。

【0044】

図 6 は、本発明の昇圧回路 1 0 の第 2 スイッチ部制御回路 1 2 の構成を示す。

第 2 スイッチ部制御回路 1 2 は、N o t A n d である論理回路 N A N D 1 と、反転素子 I N V 3 と、回路 L 1 と、容量部 C 4 と、ダイオード D 4 とを具備する。論理回路 N A N D 1 の入力端子には、制御部 1 1 が接続され、制御信号 S I G 1 と切替信号 M O D E 1 とが入力される。反転素子 I N V 3 の入力端子には、論理回路 N A N D 1 の出力端子が接続されている。反転素子 I N V 3 の出力端子には、回路 L 1 が接続されている。容量部 C 4 の負極側には、回路 L 1 が接続されている。容量部 C 4 の正極側には、トランジスタ N 2 のゲートが接続されている。ダイオード D 4 の入力端子には、電源 V D D が接続されている。ダイオード D 4 は、容量部 C 4 から電源 V D D への逆流を防止する逆流防止素子である。

逆流防止素子としてダイオード D 4 を例示しているが、逆流防止素子は、トランジスタで構成されていてもよい。

回路 L 1 は、N 型のトランジスタ N 6 と、反転素子 I N V 4 と、N 型のトランジスタ N 7 と、P 型のトランジスタ P 2 と、P 型のトランジスタ P 3 とを具備する。N 型のトランジスタ N 6 のゲートには、反転素子 I N V 3 の出力端子が接続されている。トランジスタ N 6 のソースは接地されている。反転素子 I N V 4 の入力端子には、反転素子 I N V 3 の出力端子が接続されている。トランジスタ N 7 のゲートには、反転素子 I N V 4 の出力端子が接続されている。トランジスタ N 7 のソースは接地されている。トランジスタ N 7 のドレインには、容量部 C 4 の負極側が接続されている。トランジスタ P 2 のソースには、ノード X 1 が接続され、出力電圧 V P P 1 が印加される。トランジスタ P 2 のゲートには、トランジスタ N 7 のドレインが接続されている。トランジスタ P 2 のドレインには、トランジスタ N 6 のドレインが接続されている。トランジスタ P 3 のソースには、ノード X 1 が接続され、出力電圧 V P P 1 が印加される。トランジスタ P 3 のゲートには、トラン

ジスタN6のドレインが接続されている。トランジスタP3のドレインには、トランジスタN7のドレインが接続されている。

【0045】

図7は、本発明の昇圧回路10の第3スイッチ部制御回路13の構成を示す。

第3スイッチ部制御回路13は、Not Andである論理回路NAND2と、反転素子INV5と、回路L2とを具備する。論理回路NAND2の入力端子には、制御部11が接続され、制御信号SIG1と切替信号MODE2とが入力される。反転素子INV5の入力端子には、論理回路NAND2の出力端子が接続されている。反転素子INV5の出力端子には、回路L2が接続されている。

回路L2は、N型のトランジスタN8と、反転素子INV6と、N型のトランジスタN9と、P型のトランジスタP4と、P型のトランジスタP5とを具備する。N型のトランジスタN8のゲートには、反転素子INV5の出力端子が接続されている。トランジスタN8のソースは接地されている。反転素子INV6の入力端子には、反転素子INV5の出力端子が接続されている。トランジスタN9のゲートには、反転素子INV4の出力端子が接続されている。トランジスタN9のソースは接地されている。トランジスタN9のドレインには、トランジスタN3のゲートが接続されている。トランジスタP4のソースには、ノードX2が接続され、出力電圧VPP2が印加される。トランジスタP4のゲートには、トランジスタN9のドレインが接続されている。トランジスタP4のドレインには、トランジスタN8のドレインが接続されている。トランジスタP5のソースには、ノードX2が接続され、出力電圧VPP2が印加される。トランジスタP5のゲートには、トランジスタN8のドレインが接続されている。トランジスタP5のドレインには、トランジスタN9のドレインが接続されている。

【0046】

図8は、本発明の昇圧回路10の第4スイッチ部制御回路14の構成を示す。

第4スイッチ部制御回路14は、Not Andである論理回路NAND3と、反転素子INV7と、回路L3と、容量部C5と、ダイオードD5とを具備する。論理回路NAND3の入力端子には、制御部11が接続され、制御信号SIG1と切替信号MODE2とが入力される。反転素子INV7の入力端子には、論理回路NAND3の出力端子が接続されている。反転素子INV7の出力端子には、回路L3が接続されている。容量部C5の負極側には、回路L3が接続されている。容量部C5の正極側には、トランジスタN4のゲートが接続されている。ダイオードD5の入力端子には、電源VDDが接続されている。ダイオードD5は、容量部C5から電源VDDへの逆流を防止する逆流防止素子である。

逆流防止素子としてダイオードD5を例示しているが、逆流防止素子は、トランジスタで構成されていてもよい。

回路L3は、N型のトランジスタN10と、反転素子INV8と、N型のトランジスタN11と、P型のトランジスタP6と、P型のトランジスタP7とを具備する。N型のトランジスタN10のゲートには、反転素子INV7の出力端子が接続されている。トランジスタN10のソースは接地されている。反転素子INV8の入力端子には、反転素子INV7の出力端子が接続されている。トランジスタN11のゲートには、反転素子INV8の出力端子が接続されている。トランジスタN11のソースは接地されている。トランジスタN11のドレインには、容量部C5の負極側が接続されている。トランジスタP6のソースには、ノードX2が接続され、出力電圧VPP2が印加される。トランジスタP6のゲートには、トランジスタN11のドレインが接続されている。トランジスタP6のドレインには、トランジスタN10のドレインが接続されている。トランジスタP7のソースには、ノードX2が接続され、出力電圧VPP2が印加される。トランジスタP7のゲートには、トランジスタN10のドレインが接続されている。トランジスタP7のドレインには、トランジスタN11のドレインが接続されている。

【0047】

図9は、本発明の昇圧回路10の第5スイッチ部制御回路15の構成を示す。

第5スイッチ部制御回路15は、Not Andである論理回路NAND4を具備する。論理回路NAND4の入力端子には、制御部11が接続され、制御信号SIG1と切替信号MODE2とが入力される。論理回路NAND4の出力端子には、トランジスタN5のゲートが接続されている。

【0048】

次に、本発明の昇圧回路10の動作について説明する。昇圧回路10の動作として、第1モード、第2モードが挙げられる。第1モードでは、昇圧回路10は、チャージポンプ回路1とチャージポンプ回路2とを直列接続して出力電圧VPP1（第3電圧）をノードX1に出力する。第2モードでは、昇圧回路10は、チャージポンプ回路1とチャージポンプ回路2とチャージポンプ回路3とを直列接続して出力電圧VPP2（第4電圧）をノードX2に出力する。

【0049】

まず、第1モードについて説明する。図10は、本発明の昇圧回路10の動作として、第1モードを示すフローチャートである。第1モードでは、プリチャージ期間と昇圧期間とが交互に実行される。

制御部11は、第1モードにおいて、外部からの命令により、切替信号MODE1を切替部4に出力する。この場合、切替信号MODE1は第1状態（アクティブ）を表し、切替信号MODE2は第2状態（インアクティブ）を表す。

【0050】

プリチャージ期間t11において、制御部11は、外部からの命令により、制御信号SIG1を出力しない。この場合、制御信号SIG1は、インアクティブを表す。

反転素子INV1から出力される制御信号SIG1は、アクティブを表す。このため、第1スイッチ部5のトランジスタP1はオフし、第1スイッチ部5のトランジスタN1はオンする。即ち、トランジスタN1は、容量部C2の負極側を接地する。

切替信号MODE1がアクティブを表し、制御信号SIG1がインアクティブを表す。このため、第2スイッチ部6の第2スイッチ部制御回路12は、制御信号SIG2として電圧レベルVDDをトランジスタN2のゲートに出力する。即ち、トランジスタN2のゲートに印加される制御信号SIG2はインアクティブを表し、トランジスタN2はオフする。

切替信号MODE2がインアクティブを表し、制御信号SIG1がインアクティブを表す。このため、第3スイッチ部7の第3スイッチ部制御回路13は、制御信号SIG3として接地レベルGNDをトランジスタN3のゲートに出力する。即ち、トランジスタN3のゲートに印加される制御信号SIG3は、インアクティブを表し、トランジスタN3はオフする。

切替信号MODE2がインアクティブを表し、制御信号SIG1がインアクティブを表す。このため、第4スイッチ部8の第4スイッチ部制御回路14は、制御信号SIG4として電圧レベルVDDをトランジスタN4のゲートに出力する。即ち、トランジスタN4のゲートに印加される制御信号SIG4は、インアクティブを表し、トランジスタN4はオフする。

切替信号MODE2がインアクティブを表し、制御信号SIG1がインアクティブを表す。このため、第5スイッチ部9の第5スイッチ部制御回路15は、制御信号SIG5として電圧レベルVDDをトランジスタN5のゲートに出力する。即ち、トランジスタN5のゲートに印加される制御信号SIG5は、アクティブを表し、トランジスタN5はオンし、容量部C3の負極側を接地する。

【0051】

このプリチャージ期間t11において、容量部C1には、電源VDDに対応する電荷が蓄積され、ノードQ1に印加される電圧のレベルは、0（GND）であり、ノードQ2に印加される電圧のレベルは、電源VDDと同じ第1電圧VDDである。容量部C2には、電源VDDに対応する電荷が蓄積され、ノードQ3に印加される電圧のレベルは、0（GND）であり、ノードQ4に印加される電圧のレベルは、電源VDDと同じ第1電圧VDD

Dである。容量部C3には、電源VDDに対応する電荷が蓄積され、ノードQ5に印加される電圧のレベルは、0 (GND) であり、ノードQ6に印加される電圧のレベルは、電源VDDと同じ第1電圧VDDである。

【0052】

プリチャージ期間t11の次の昇圧期間t12において、制御部11は、外部からの命令により、制御信号SIG1を出力する。この場合、制御信号SIG1は、アクティブを表す。

反転素子INV1から出力される制御信号SIG1は、インアクティブを表す。このため、第1スイッチ部5のトランジスタP1はオンし、第1スイッチ部5のトランジスタN1はオフする。即ち、トランジスタP1は、容量部C1の正極側と容量部C2の負極側とを接続する。

切替信号MODE1がアクティブを表し、制御信号SIG1がアクティブを表す。このため、第2スイッチ部6の第2スイッチ部制御回路12は、制御信号SIG2として、電圧レベルVDDに、ノードX1に印加される電圧VPP1を加算した、電圧レベル(VPP1+VDD)をトランジスタN2のゲートに出力する。即ち、トランジスタN2のゲートに印加される制御信号SIG2はアクティブを表し、トランジスタN2は、オンし、容量部C2の正極側とノードX1とを接続する。

切替信号MODE2がインアクティブを表し、制御信号SIG1がアクティブを表す。このため、第3スイッチ部7の第3スイッチ部制御回路13は、制御信号SIG3として接地レベルGNDをトランジスタN3のゲートに出力する。即ち、トランジスタN3のゲートに印加される制御信号SIG3は、インアクティブを表し、トランジスタN3は、プリチャージ期間t11に引き続き、オフする。

切替信号MODE2がインアクティブを表し、制御信号SIG1がアクティブを表す。このため、第4スイッチ部8の第4スイッチ部制御回路14は、制御信号SIG4として電圧レベルVDDをトランジスタN4のゲートに出力する。即ち、トランジスタN4のゲートに印加される制御信号SIG4は、インアクティブを表し、トランジスタN4は、プリチャージ期間t11に引き続き、オフする。

切替信号MODE2がインアクティブを表し、制御信号SIG1がアクティブを表す。このため、第5スイッチ部9の第5スイッチ部制御回路15は、制御信号SIG5として電圧レベルVDDをトランジスタN5のゲートに出力する。即ち、トランジスタN5のゲートに印加される制御信号SIG5は、アクティブを表し、トランジスタN5は、プリチャージ期間t11に引き続き、オンし、容量部C3の負極側を接地する。

【0053】

この昇圧期間t12において、ノードQ1に印加される電圧のレベルは、容量部C1に蓄積された電荷に対応する第1電圧VDDであり、ノードQ2に印加される電圧のレベルは、第1電圧VDDに、電源VDDが加算された第2電圧($2 * VDD$)に昇圧される。同時に、ノードQ3に印加される電圧のレベルは、第2電圧($2 * VDD$)になる。ノードQ4に印加される電圧のレベルは、第2電圧($2 * VDD$)に、電源VDDが加算された第3電圧($3 * VDD$)に昇圧される。同時に、ノードX1に印加される電圧のレベルは、第3電圧($3 * VDD$)である。

【0054】

昇圧期間t12の次のプリチャージ期間t13において、昇圧回路10は、プリチャージ期間t11における動作と同じ動作を行なう。プリチャージ期間t13の次の昇圧期間t14において、昇圧回路10は、昇圧期間t12における動作と同じ動作を行なう。

【0055】

次に、第2モードについて説明する。図11は、本発明の昇圧回路10の動作として、第2モードを示すフローチャートである。第2モードでは、プリチャージ期間と昇圧期間とが交互に実行される。

制御部11は、第2モードにおいて、外部からの命令により、切替信号MODE2を切替部4に出力する。この場合、切替信号MODE1は第2状態(インアクティブ)を表し

、切替信号MODE 2は第2状態（アクティブ）を表す。

【0056】

プリチャージ期間 t_{21} において、制御部11は、外部からの命令により、制御信号SIG 1を出力しない。この場合、制御信号SIG 1は、インアクティブを表す。

反転素子INV 1から出力される制御信号SIG 1は、アクティブを表す。このため、第1スイッチ部5のトランジスタP 1はオフし、第1スイッチ部5のトランジスタN 1はオンする。即ち、トランジスタN 1は、容量部C 2の負極側を接地する。

切替信号MODE 1がインアクティブを表し、制御信号SIG 1がインアクティブを表す。このため、第2スイッチ部6の第2スイッチ部制御回路12は、制御信号SIG 2として電圧レベルVDDをトランジスタN 2のゲートに出力する。即ち、トランジスタN 2のゲートに印加される制御信号SIG 2はインアクティブを表し、トランジスタN 2はオフする。

切替信号MODE 2がアクティブを表し、制御信号SIG 1がインアクティブを表す。このため、第3スイッチ部7の第3スイッチ部制御回路13は、制御信号SIG 3として接地レベルGNDをトランジスタN 3のゲートに出力する。即ち、トランジスタN 3のゲートに印加される制御信号SIG 3は、インアクティブを表し、トランジスタN 3はオフする。

切替信号MODE 2がアクティブを表し、制御信号SIG 1がインアクティブを表す。このため、第4スイッチ部8の第4スイッチ部制御回路14は、制御信号SIG 4として電圧レベルVDDをトランジスタN 4のゲートに出力する。即ち、トランジスタN 4のゲートに印加される制御信号SIG 4は、インアクティブを表し、トランジスタN 4はオフする。

切替信号MODE 2がアクティブを表し、制御信号SIG 1がインアクティブを表す。このため、第5スイッチ部9の第5スイッチ部制御回路15は、制御信号SIG 5として電圧レベルVDDをトランジスタN 5のゲートに出力する。即ち、トランジスタN 5のゲートに印加される制御信号SIG 5は、アクティブを表し、トランジスタN 5はオンし、容量部C 3の負極側を接地する。

【0057】

このプリチャージ期間 t_{11} において、容量部C 1には、電源VDDに対応する電荷が蓄積され、ノードQ 1に印加される電圧のレベルは、0（GND）であり、ノードQ 2に印加される電圧のレベルは、電源VDDと同じ第1電圧VDDである。容量部C 2には、電源VDDに対応する電荷が蓄積され、ノードQ 3に印加される電圧のレベルは、0（GND）であり、ノードQ 4に印加される電圧のレベルは、電源VDDと同じ第1電圧VDDである。容量部C 3には、電源VDDに対応する電荷が蓄積され、ノードQ 5に印加される電圧のレベルは、0（GND）であり、ノードQ 6に印加される電圧のレベルは、電源VDDと同じ第1電圧VDDである。

【0058】

プリチャージ期間 t_{21} の次の昇圧期間 t_{22} において、制御部11は、外部からの命令により、制御信号SIG 1を出力する。この場合、制御信号SIG 1は、アクティブを表す。

反転素子INV 1から出力される制御信号SIG 1は、インアクティブを表す。このため、第1スイッチ部5のトランジスタP 1はオンし、第1スイッチ部5のトランジスタN 1はオフする。即ち、トランジスタP 1は、容量部C 1の正極側と容量部C 2の負極側とを接続する。

切替信号MODE 1がインアクティブを表し、制御信号SIG 1がインアクティブを表す。このため、第2スイッチ部6の第2スイッチ部制御回路12は、制御信号SIG 2として電圧レベルVDDをトランジスタN 2のゲートに出力する。即ち、トランジスタN 2のゲートに印加される制御信号SIG 2はインアクティブを表し、トランジスタN 2は、プリチャージ期間 t_{21} に引き続き、オフする。

切替信号MODE 2がアクティブを表し、制御信号SIG 1がアクティブを表す。この

ため、第3スイッチ部7の第3スイッチ部制御回路13は、制御信号SIG3として、ノードX2に印加される電圧VPP2をトランジスタN3のゲートに出力する。即ち、トランジスタN3のゲートに印加される制御信号SIG3は、アクティブを表し、トランジスタN3は、オンし、容量部C2の正極側と容量部C3の負極側とを接続する。

切替信号MODE2がアクティブを表し、制御信号SIG1がアクティブを表す。このため、第4スイッチ部8の第4スイッチ部制御回路14は、制御信号SIG4として、電圧レベルVDDに、ノードX2に印加される電圧VPP2を加算した、電圧レベル(VPP2+VDD)をトランジスタN4のゲートに出力する。即ち、トランジスタN4のゲートに印加される制御信号SIG4は、インアクティブを表し、トランジスタN4は、オンし、容量部C3の正極側とノードX2とを接続する。

切替信号MODE2がアクティブを表し、制御信号SIG1がアクティブを表す。このため、第5スイッチ部9の第5スイッチ部制御回路15は、制御信号SIG5として接地レベルGNDをトランジスタN5のゲートに出力する。即ち、トランジスタN5のゲートに印加される制御信号SIG5は、インアクティブを表し、トランジスタN5は、オフする。

【0059】

この昇圧期間t22において、ノードQ1に印加される電圧のレベルは、容量部C1に蓄積された電荷に対応する第1電圧VDDであり、ノードQ2に印加される電圧のレベルは、第1電圧VDDに、電源VDDが加算された第2電圧(2*VDD)に昇圧される。同時に、ノードQ3に印加される電圧のレベルは、第2電圧(2*VDD)になる。ノードQ4に印加される電圧のレベルは、第2電圧(2*VDD)に、電源VDDが加算された第3電圧(3*VDD)に昇圧される。同時に、ノードQ5に印加される電圧のレベルは、第3電圧(3*VDD)である。ノードQ6に印加される電圧のレベルは、第3電圧(3*VDD)に、電源VDDが加算された第4電圧(4*VDD)に昇圧される。同時に、ノードX2に印加される電圧のレベルは、第4電圧(4*VDD)である。

【0060】

昇圧期間t22の次のプリチャージ期間t23において、昇圧回路10は、プリチャージ期間t21における動作と同じ動作を行なう。プリチャージ期間t23の次の昇圧期間t24において、昇圧回路10は、昇圧期間t22における動作と同じ動作を行なう。

【0061】

以上の説明により、本発明の昇圧回路10では、第1モードにおいて、半導体装置の内部回路20としてワード線に第3電圧(3*VDD、出力電圧VPP1)を印加する場合、チャージポンプ回路1(容量部C1)とチャージポンプ回路2(容量部C2)との2個のチャージポンプ回路(容量部)を用いる。本発明の昇圧回路10では、第2モードにおいて、半導体装置の内部回路20として容量膜ヒューズに第4電圧(4*VDD、出力電圧VPP2)を印加する場合、上記の2個のチャージポンプ回路(容量部)にチャージポンプ回路3(容量部C3)を加えた3個のチャージポンプ回路(容量部)を用いる。従って、本発明の昇圧回路10は、一つの昇圧回路により、ワード線に第3電圧(3*VDD、出力電圧VPP1)を印加する場合と、容量膜ヒューズに第4電圧(4*VDD、出力電圧VPP2)を印加する場合とを実現する。本発明の昇圧回路10によれば、電源電圧(第1電圧VDD)よりも高い電圧をワード線、容量膜ヒューズのように目的別に供給することができる。

【0062】

前述したように、従来の昇圧回路100では、半導体装置の内部回路としてワード線に第3電圧(3*VDD、出力電圧VPP1)を印加する場合、第1チャージポンプ回路(容量部C101)と第2チャージポンプ回路(容量部C102)との2個のチャージポンプ回路(容量部)を用いる。一方、従来の昇圧回路100では、半導体装置の内部回路として容量膜ヒューズに第4電圧(4*VDD、出力電圧VPP2)を印加する場合、第3チャージポンプ回路(容量部C103)と第4チャージポンプ回路(容量部C104)と第5チャージポンプ回路(容量部C105)との3個のチャージポンプ回路(容量部)を

用いる。このため、従来の昇圧回路 100 では、合計 5 個のチャージポンプ回路（容量部）が必要である。これに対して、本発明の昇圧回路 10 によれば、合計 3 個のチャージポンプ回路（容量部）で済む。従って、本発明の昇圧回路 10 は、従来の昇圧回路 100 に対して、3/5 倍の回路面積で済み、その回路面積は 40% 削減される。本発明の昇圧回路 10 によれば、回路面積を削減することができる。

【0063】

本発明の昇圧回路 10 では、チャージポンプ回路を最大 3 段接続としているが、チャージポンプ回路を直列接続する段数を更に増やして N 段（N は 2 以上の整数）とすることも可能である。この場合、切替部 4 は、切替信号に応じて、N 個のチャージポンプ回路（1、2、3）のうちの J 個（J は $2 \leq J \leq N$ を満たす整数）のチャージポンプ回路を直列接続して電源電圧の（J + 1）倍の電圧を半導体装置の内部回路 20 に出力する。

【図面の簡単な説明】

【0064】

【図 1】 図 1 は、従来の昇圧回路の概略構成を示す。

【図 2】 図 2 は、従来の昇圧回路の概略構成を示す。

【図 3】 図 3 は、従来の昇圧回路の概略構成を示す。

【図 4】 図 4 は、本発明の昇圧回路が適用される半導体装置の構成を示す。

【図 5】 図 5 は、本発明の昇圧回路の構成を示す。

【図 6】 図 6 は、本発明の昇圧回路の第 2 スイッチ部制御回路の構成を示す。

【図 7】 図 7 は、本発明の昇圧回路の第 3 スイッチ部制御回路の構成を示す。

【図 8】 図 8 は、本発明の昇圧回路の第 4 スイッチ部制御回路の構成を示す。

【図 9】 図 9 は、本発明の昇圧回路の第 5 スイッチ部制御回路の構成を示す。

【図 10】 図 10 は、本発明の昇圧回路の動作（第 1 モード）を示すフローチャートである。

【図 11】 図 11 は、本発明の昇圧回路の動作（第 2 モード）を示すフローチャートである。

【符号の説明】

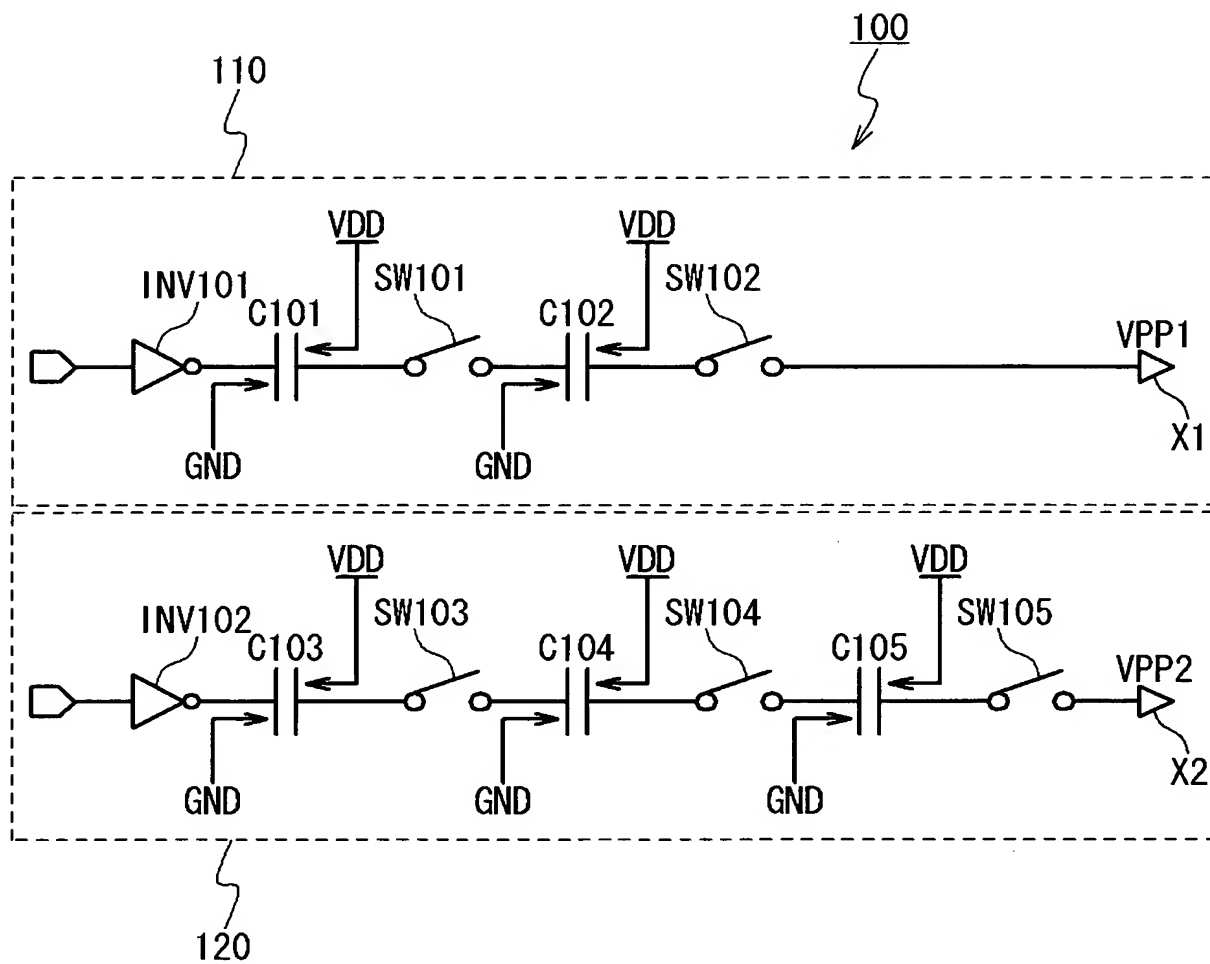
【0065】

- 1、2、3 チャージポンプ回路
- 4 切替部
- 5 第 1 スイッチ部
- 6 第 2 スイッチ部
- 7 第 3 スイッチ部
- 8 第 4 スイッチ部
- 9 第 5 スイッチ部
- 10 昇圧回路
- 11 制御部
- 12 第 2 スイッチ部制御回路
- 13 第 3 スイッチ部制御回路
- 14 第 4 スイッチ部制御回路
- 15 第 5 スイッチ部制御回路
- 20 半導体装置の内部回路
- C1、C2、C3、C4 容量部
- D1、D2、D3、D4 ダイオード
- INV1、INV2、INV3、INV4、INV5、INV6 反転素子
- L1、L2 回路
- MODE1、MODE2 切替信号
- NAND1、NAND2、NAND4 論理回路（Not And）
- N1、N2、N3、N4、N5、N6、N7、N8、N9 トランジスタ（N型）
- P1、P2、P3、P4、P5 トランジスタ（P型）

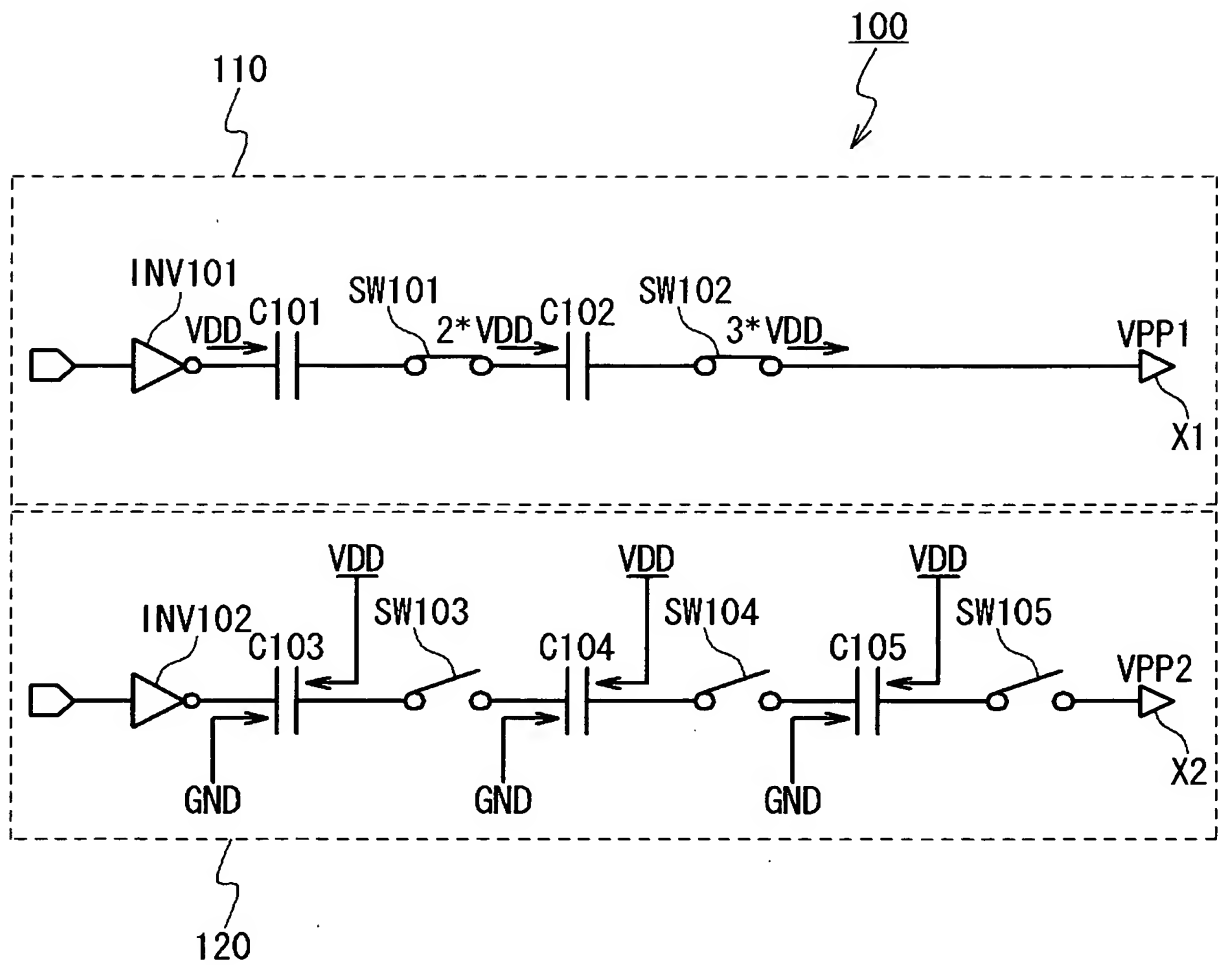
Q 1、Q 2、Q 3、Q 4、Q 5、Q 6 ノード
S I G 1、S I G 2、S I G 3、S I G 4、S I G 5 制御信号
V D D 電源
V P P 1、V P P 2 出力電圧
X 1、X 2 ノード

【書類名】 図面

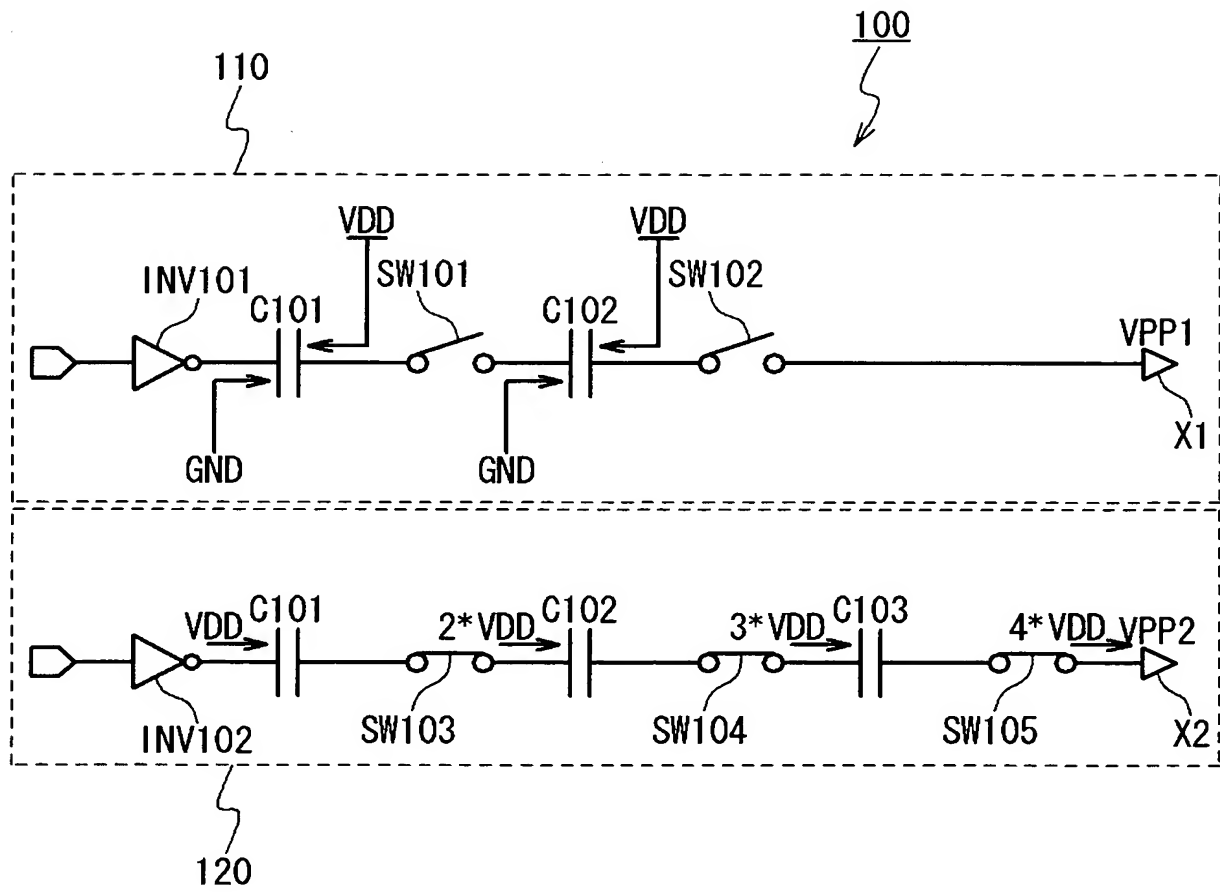
【図 1】



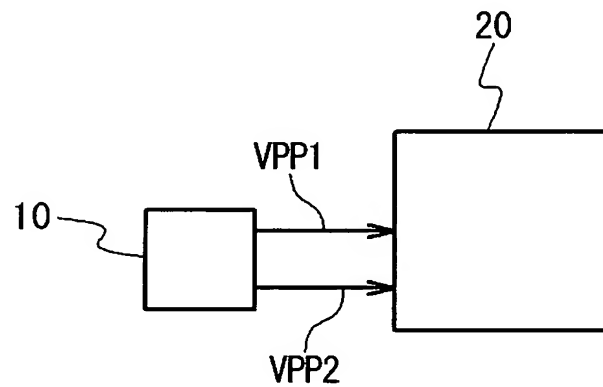
【図 2】



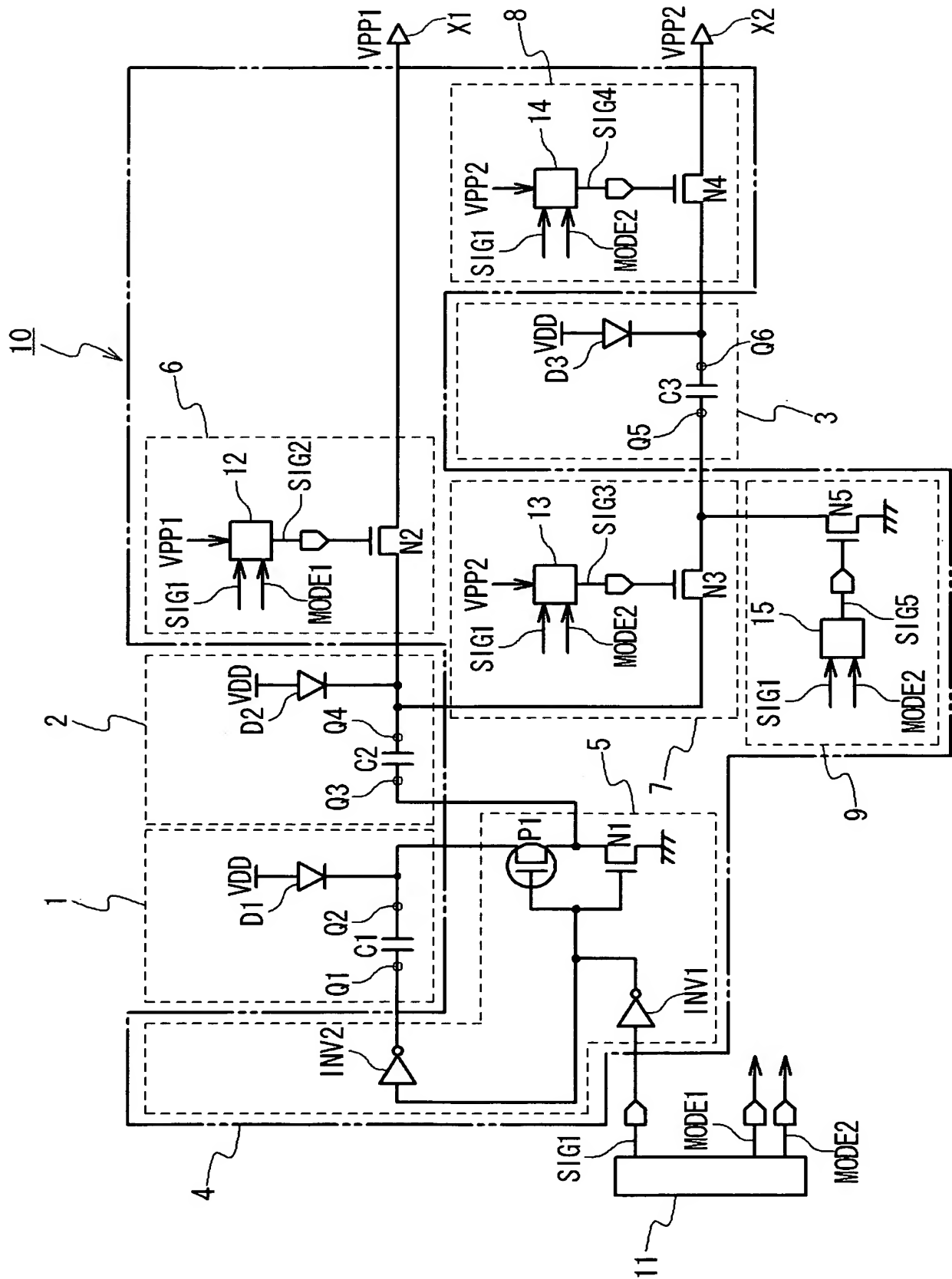
【図 3】



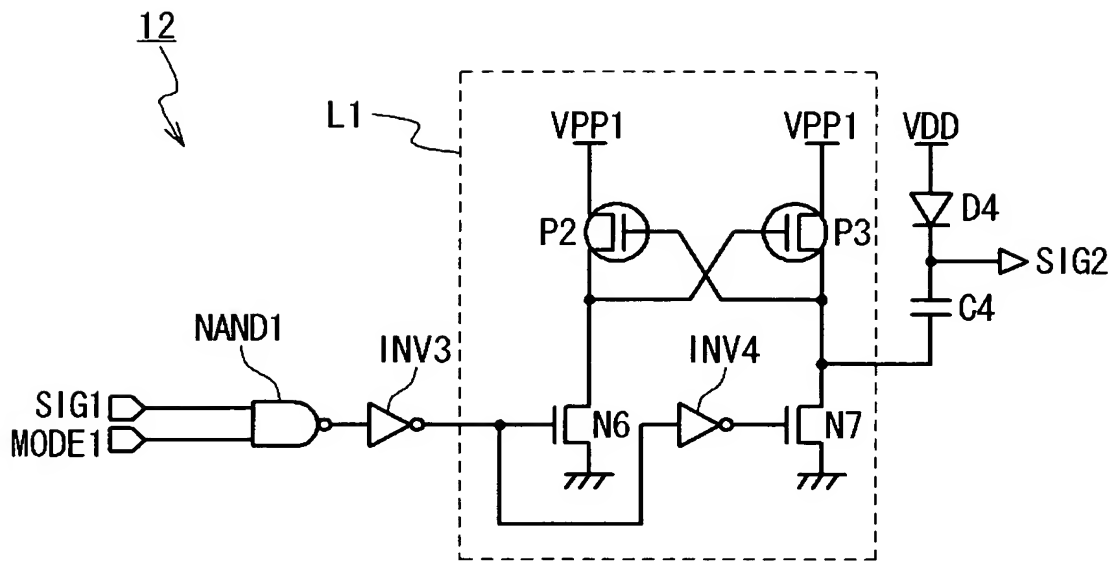
【図 4】



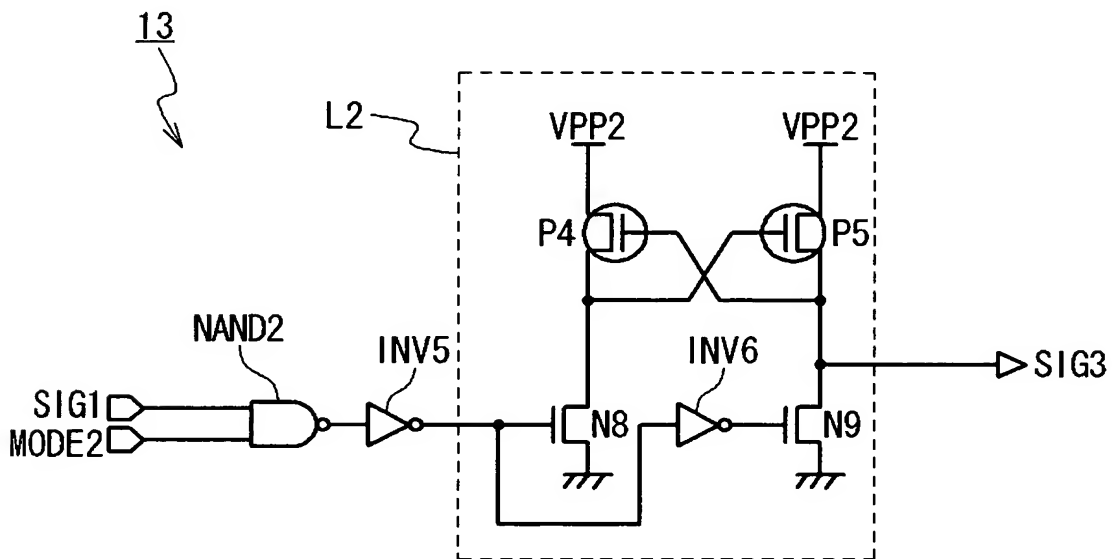
【図 5】



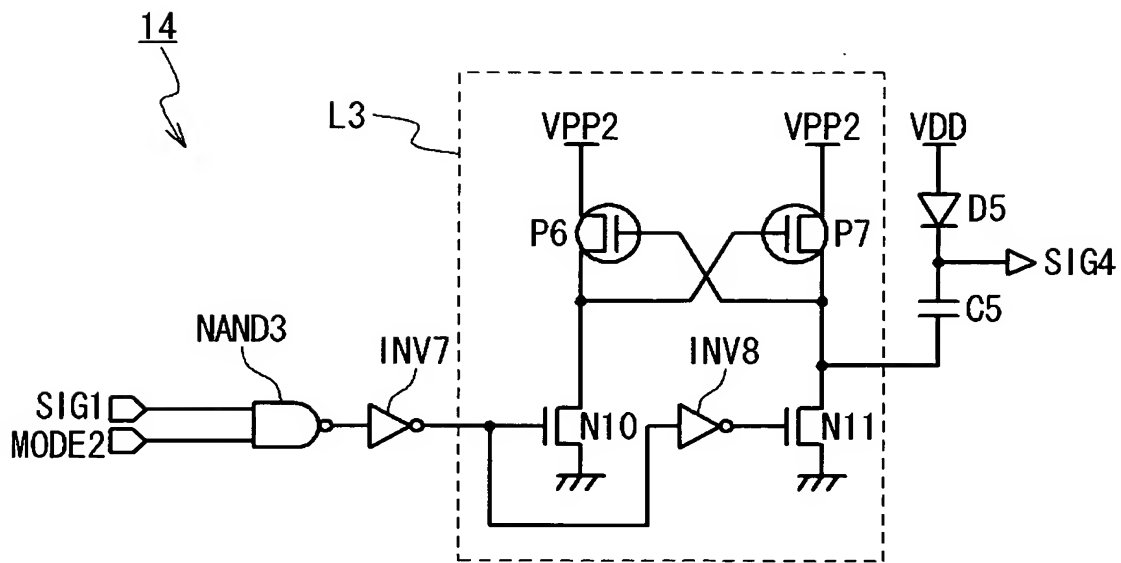
【図 6】



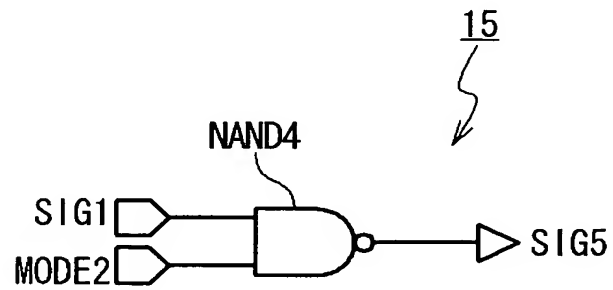
【図 7】



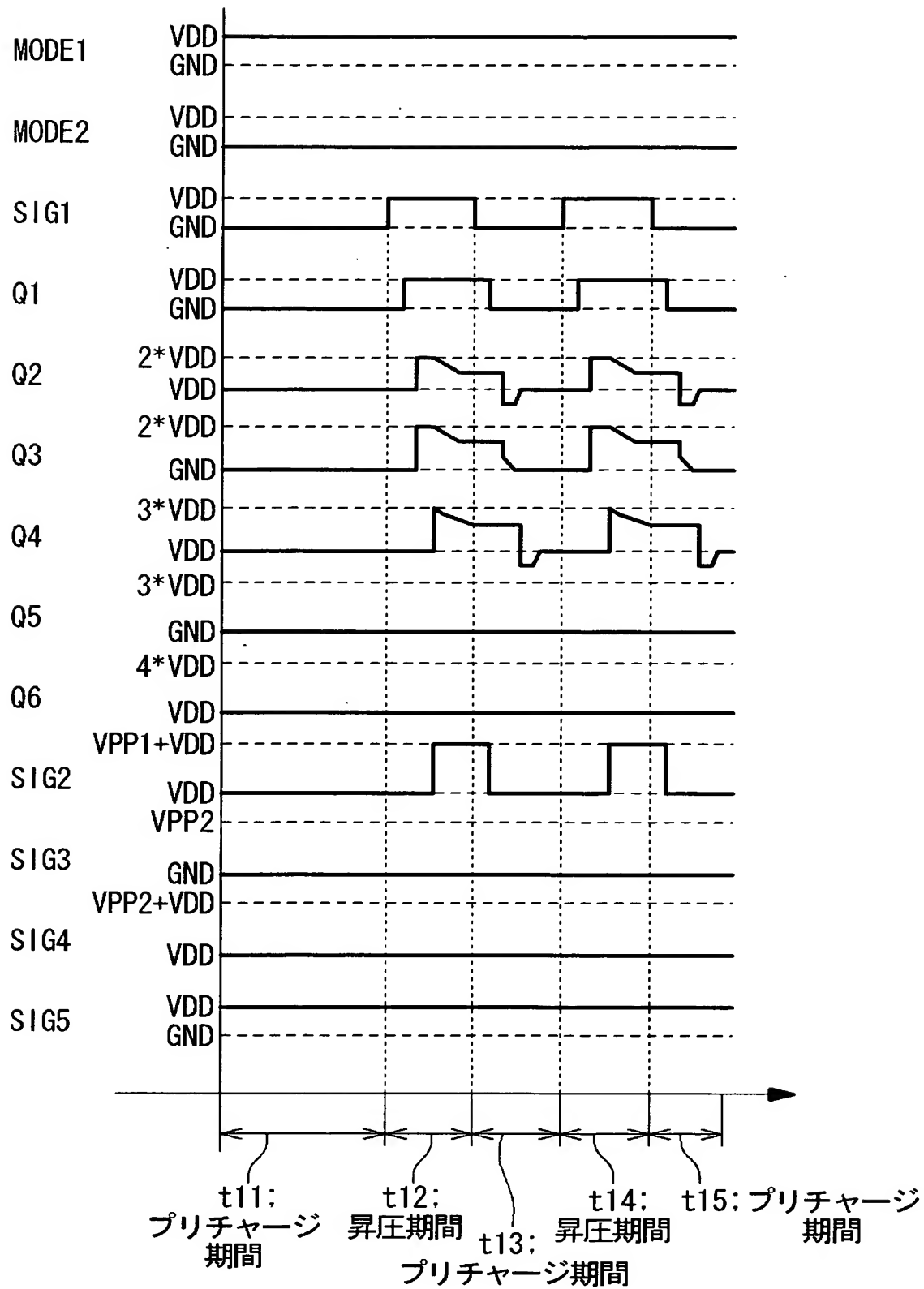
【図 8】



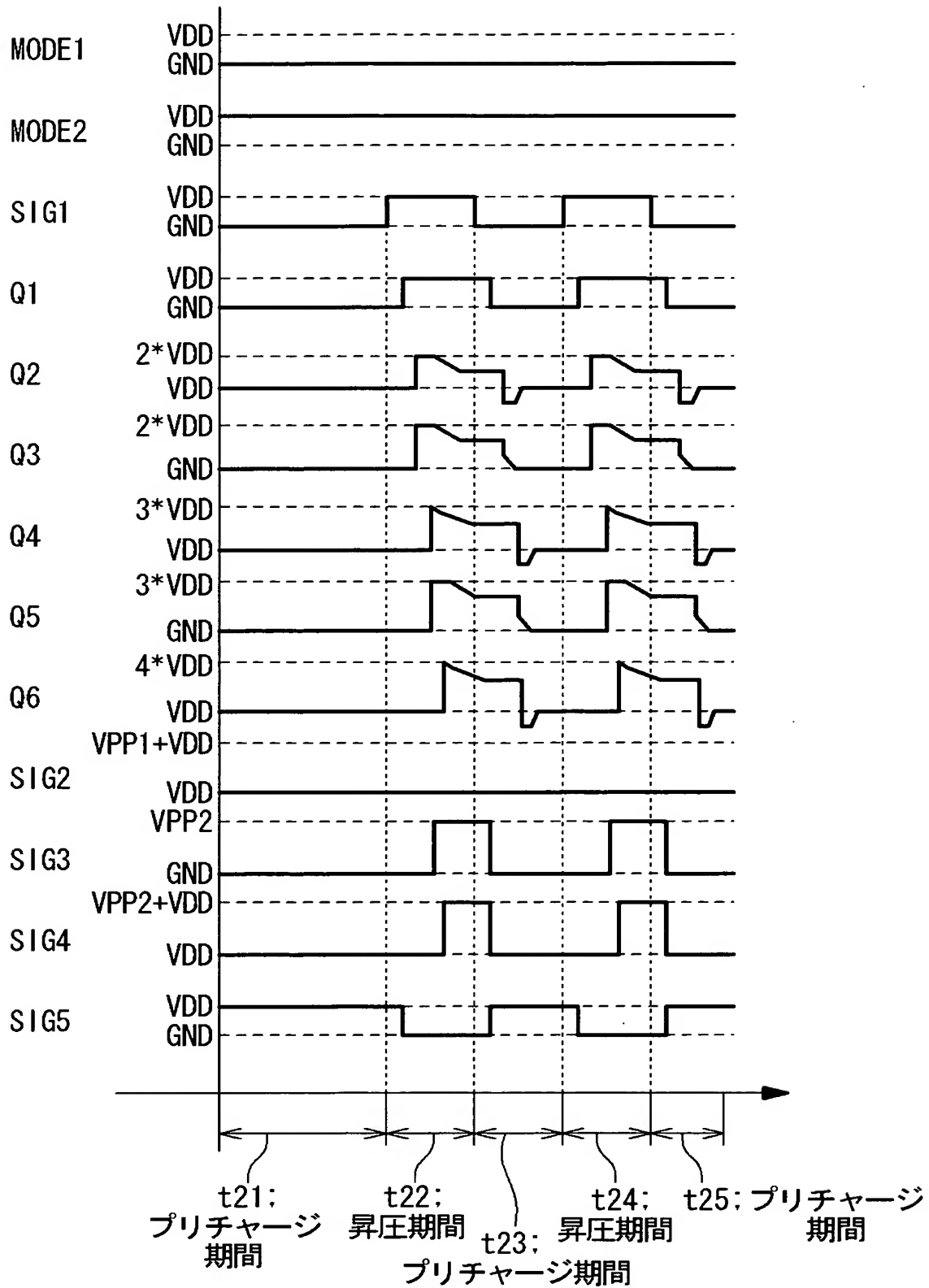
【図 9】



【図 10】



【図 11】



【書類名】 要約書**【要約】**

【課題】 電源電圧よりも高い電圧を目的別に発生することができる昇圧回路を提供すること。

【解決手段】 昇圧回路 (10) は、第1チャージポンプ回路 (1) と、第2チャージポンプ回路 (2) と、第3チャージポンプ回路 (3) と、切替部 (4) とを含む。第1チャージポンプ回路 (1) は、第1電圧 (VDD) を昇圧して第2電圧 ($2 * VDD$) を生成する。第2チャージポンプ回路 (2) は、第2電圧 ($2 * VDD$) を昇圧して第3電圧 ($3 * VDD$) を生成する。第3チャージポンプ回路 (3) は、第3電圧 ($3 * VDD$) を昇圧して第4電圧 ($4 * VDD$) を生成する。切替部 (4) は、第1切替信号 (MODE 1) に応じて、第1チャージポンプ回路 (1) と第2チャージポンプ回路 (2) とを直列接続して第3電圧 ($3 * VDD$ 、VPP1) を半導体装置の内部回路に出力する。切替部 (4) は、第2切替信号 (MODE 2) に応じて、第1チャージポンプ回路 (1) と第2チャージポンプ回路 (2) と第3チャージポンプ回路 (3) とを直列接続して第4電圧 ($4 * VDD$ 、VPP2) を半導体装置の内部回路に出力する。

【選択図】 図5

特願 2 0 0 4 - 0 4 3 6 1 4

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社